PATENT ABSTRACTS OF JAPAN

(11)Publication number:

03-126265

(43) Date of publication of application: 29.05.1991

(51)Int.CI.

H01L 29/788 H01L 27/115 H01L 29/784 H01L 29/792

(21)Application number : **01-264453**

(71)Applicant: TOSHIBA CORP

(22)Date of filing:

11.10.1989

(72)Inventor: UEMURA TERUO

MIZUTANI TAKAHIDE

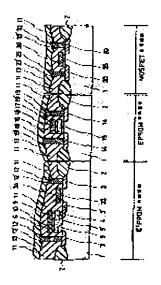
HANADA NAOKI MORI TATSUO

SHINADA KAZUYOSHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE **THEREOF**

(57)Abstract:

PURPOSE: To make it possible to provide a memory element necessitating rewriting of data and a memory element not necessitating rewriting thereof nearly at all together in a scaled-down one-chip microcomputer, by providing a first memory element constructed of E2PROM, a second memory element constructed of EPROM and a peripheral element constructed of MOSFET at least on the same semiconductor substrate. CONSTITUTION: A first gate insulation film 5 of an E2PROM cell in a region wherein E2PROM is formed, a tunnel insulation film 5', a first gate insulation film 15 in a region wherein EPROM is formed, and first gate insulation films 35, 5 of selective transistors in a region wherein MOSFET is formed and in the region wherein



the E2PROM is formed, are formed to be different in a film thickness from one another. Moreover, floating gates 6, 16 of the E2PROM and the EPROM and a gate 34 of MOSFET (including the selective transistor of the E2PROM) are formed of different conductive layers and the E2PROM, the EPROM and the MOSFET are formed on the same chip. Besides, the floating gate 6 of the E2PROM and the floating gate 16 of the EPROM are so formed that area resistance values thereof are different from each other.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

® 日本国特許庁(JP)

① 特許出願公開

⑫ 公 開 特 許 公 報 (A) 平3-126265

®Int.Cl.⁵

識別記号

庁内整理番号

@公開 平成3年(1991)5月29日

H 01 L 29/788

7514-5F 8422-5F

H 01 L 29/78

3 7 1 3 0 1

×

審查請求 有 蘭求項の数 10 (全42頁)

不揮発性半導体記憶装置およびその製造方法 会発明の名称

> 題 平1-264453 到特

魯出 願 平1(1989)10月11日

伊発 明 苍 ŧΫ 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝多摩 樐 川工場内 分発 99 者 拘奈川県川崎市奉区小向東芝町 1 番地 株式会社東芝多摩 水 陲 奕 川工場内 調 客 7E H 直 紀 神奈川県川崎市华区小向東芝町 1番地 株式会社東芝多摩 川工場內 6.000 閯 桽 竉 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝多麗 男 川工場内 勿出 原人 株式会社東芝 神奈川県川崎市華区堀川町72番地 90代 選 人 弁理士 鈴江 武彦 外3名

1. 発明の名称

最終頁に絞く

不得発性半導体記憶装置およびその製造方法 2. 特許請求の範囲

同一半導体益板上に、ピュPROMにて 構成された第1の記憶節と、

EPROMにで構成された第2の記憶郎と、

MOSFETにて構成された周辺部とを少なく とも具頭していることを特徴とする事群体記録数 **#** .

(2) 半専体芸板上にフィールド地級膜を形 成し、無子領域として8~PROM形成子定翁 域、EPROM形成于崖筑线、および胸辺周 MOSFET形似予定领域专得る工程と、

上記EPPROM服成予定額減に対して所定の 不純物をイオン法入し、第1の不能物層を形成す る工程と、

孝子領領上に強うのゲート絶縁頭を形成する工 ねと、

上記EPROM形成予定領域、および周辺用

MOSFET形成予定領域上に形成された上記第 1のゲート絶録祭を訓練する工程と、

上記EPROM形成予定領域、および周辺用 MOSPET形成子建頻激上に上記第1のゲート 柏根膜と膜壁の異なる第2のゲート施保験を形成 する工程と、

上記第1の不調物順上の第1のゲート絶経版の 一部を除去し、再度、この除去部分に対して、第 1および節2のゲート絶縁限とは職庫の異なる第 3のゲート絶縁眼を形成する工程と、

全国に、E'PROMおよびEPROMの俘迫 ゲート、EiPROMの選択用MOSFET並び に周辺用列OSPETのゲートとなる第1の存盤 磨を形成する工段と、

この来 1 の異電図を、E·2 PROMおよび E P R O M の併遊ゲートのセルスリット。 E 2 PROMの選択別MOSFRT並びに周辺用 MOSFETのゲートの形状にパクーニングする 工程と、

金سに、第4のゲート組織機を形成する工程と、

特閒平3-126265 (2)

全面に、E'PROMおよびEPROMの制御 ゲートとなる毎2の特殊届を形成する工程と、

この第2の専選届を、E P P R O M および E P R O M の制御ゲートの形状にバターニング し、これをマスクに引き託る上記第1の導電船を E P R O M および E P R O M の浮遊ゲートの形 状にパターニングする工程と、

上記 E² PROM および EPROM の制御ゲート、 E² PROM の選択用MOSFET 遊びに 関 辺 IBMOSFET のゲートをマスクにして、 ソー スノドレイン 領域形成用の不能物を、 葡収に対し イオン注入する N 程と、

このイオン主人された不純物を活性化して、ソ ース/ドレイン 領域を形成する工程とを具備する ことを特徴とする半等体記憶装置の製造方法。

(\$) 超攻項(1)記載の半導体記録装置において、

E'PROMおよびEPROMが持つ浮遊ゲートと、E'PROMの選択用MOSFST並びに 周辺用MOSFETが持つゲートとが、それぞれ 異なる専場層にてなることを特徴とする半導体記録は数。

(4) 半解体基板上にフィールド熱解験を形成し、素子領域としてEPPROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記EプPROM形成予定領域に対して所足の 不能物をイオン注入し、第1の不純物暦を形成す る上似と、

有子所域上に第1のゲート絶歓談を形成する工 Ref.

上記EPROM形成子定領域および周辺用MOSFET形成于定領域上に形成された上記第1のゲート始級顕著到駐する工程と、

上記EPROM形成予定紙根、および州辺用 MOSFET形成予定紙紙上に上記第1のゲート 絶縁機と映解の現在る第2のゲート絶縁機を形成 する工程と、

上記第1の不純物層上の第1のゲート総縁機の一部を除去し、再波、この除虫部分に対して、

第18よび第2のゲート絶縁襞とは膜原の異なる 第3のゲート絶縁線を形成する工程と、

全面に、E2 PROMおよびEPROMの浮造ゲートとなる第1の導電腦を形成する工程と、

この第1の導電圏のうち、EPROMおよびEPROMの浮選ゲートのセルスリット、EPPROMの選択用MOSFET並びに関辺用MOSFETを数1の導電器を除去する工程と、

全国に第4のゲート的証拠を形成する工程と、 全国に、E² PROMおよびEPROMの報荷 ゲート、E² PROMの遊択用MOSFET並び に関連用MOSFETのゲートとなる第2の遅電 騒を形成する工程と、

この第2の専電路を、E2 PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にバターニングする工品と、

きらにこの第2の導電圏を、EPPROMおよびEPROMの制御ゲートの形仗にバターエングし、これをマスクに引き続き上記類1の構造器を

E * PROMおよびEPROMの浮遊ゲートの形 状にパターニングする工程と、

上記E® PROMおよびEPROMの制防ゲート、EPPROMの選択用MOSFEで並びに残辺用MOSFEで並びに残辺用MOSFEで並びに残び用MOSFEで並びに残び用MOSFになった。ソースノドレイン頻販形成用の不純物を、基板に対しイオン強入する工程と、

このイオン体人された不能物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

(5) 請求項(3) 記載の単線体記憶報選において、

B² PROMおよびBPROMが持つ浮遊ゲートと、斜節ゲートとの間に、酸化膜と、酸化されにくい陰酸酸とかが在することを特徴とする単導体記憶器器。

(8) 书游体括版上にフィールド铯验旗专影技し、素子訓域としてEPPROM形成予定所效、BPROM形成予定研设、および問週間MOSFET影成予定領域を得る工作と、

特別平3-126265 (3)

上記見² PRO M形成予定が機に対して所定の 不純物をイオン住人し、第1の不純物盤を形成す る工程と、

数子頻岐上に築しのゲート絶縁器を形成する工 位と、

上記らPROM形成予定領域、および周辺用MOSFET影成予定領域上に形成された上記第 1のゲート格線鉄を割離する工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に上記部1のゲート 独韓関と携厚の異なる第2のゲート路線鎮を形成 する工程と、

上記別1の不能物場上の第1のゲート発程機の一部未験去し、削定、この除去部分に対して、第1および発2のゲート結婚機とは関連の異なる第3のゲート発程機を形成する工程と、

全面に、E・PROMおよびEPROMの保護ゲートとなる第1の専場がを形成する工程と、

この第1の海曜日のうち、EIPROMおよび EPROMの解除ゲートのセルスリット、

ト、 E² PROMの選択同MOSFET並びに馬 辺州MOSFETのゲートをマスクにして、 ソース/ドレイン領域形成用の不動物を、 品級に対し イオン注入する工程と、

このイオン注人された不統物を活性化して、 ソース/ドレイン領域を形成する工程とを具備することを特徴とする半導体記憶致緩の製造方法。

(7) 請求項 (!) あるいは (3) あるいは (5) 紀 額の半芽体記憶装置において、

E・PROMが持つ浮遊ゲートを構成する母電 限と、EPROMが持つ浮遊ゲートを構成する男 名階との面積低抗値がそれぞれ気はることを特徴 とする半母体記憶設置。

上記E² PROM形成于定崩域に対して研定の不統物をイオン法人し、第1の不純物縣を形成する工程と、

E PROMO選択用MOSFET並びに跨辺開 MOSFET形成領域に存在する第1の遊離函を 能力する工程と、

全部に第4のゲート他保護を構成する酸化膜層を形成する工程と、

全面に羽4のゲート総録機を譲放する酸化され にくい絶録機磨を形成する工程と、

全面に、EPPROMおよびEPROMの制御ケート、EPPROMの地沢用MOSFET並びに消辺用MOSFETのゲートとなる第2の連び 脳を形成する工程と、

この第2の専売圏を、E2 PROMの選択用MOSFET並びに別辺用MOSFETのゲートの形状にパケーニングする工程と、

さらにこの第2の事性層を、E ? PROMおよびEPROMの製強ゲートの影状にバターニングし、これをマスクに引き続き上記第1の母常屬をE 2 PROMの浮遊ゲートの影状にバターニングする工程と、

上記E7 PROMELUEPROMの制卸ゲー

米子領域上に第1のゲート地球級を形成する工程と、

上配EPROM組成予定領域、および解型用MOSFET形成予定額減上に形成された上記第 1のゲート機能額を頻雅する工程と、

上記EPROM影成予定開域、および周辺用 MOSFET形成予定領域上に上記第1のゲート 絶録頭と順係の異なる第2のゲート掲録膜を形成 する工程と、

上記第1の不純物層上の第1のゲート絶縁級の一部を繋出し、再度、この験去部分に対して、期18よび第2のゲート絶種膜と核膜壁の異なる第3のゲート絶種膜を形成する工程と、

全面に、E² PROMおよび BPROMの浮波 ゲート、E² PROMの選択用MOSF E T 並び に別辺用MOSPBTのケートとなる第 1 の典磁 類を形成する工程と、

この第1の専電値のうち、 E 2 P R O M の浮遊ゲート形成予定領域上に不統領の適断能力を持つ 物質的を影成する工程と、

独图半3-126265 (4)

この物質局をマスクに、上記第1の専用語に対 し不純物を導入し、この第1の等形形において、 節語医抗能が異なる頑昧を少なくとも1 層所形成 する工程と、

この面積低状態の異なる領域が少なくとも1的 所形成された第1の符組層を、E² PROMお よびEPROMの得速ゲートのセルスリット、 E² PROMの選択用MOSFET並びに異辺用 MOSFETのゲートの影状にバターニングする 工程と、

全面に、第4のゲート地球膜を形成する工程と、 全面に、5°PROMおよびをPROMの制御 ゲートとなる第2の戦階略を形成する工程と、

この 第 2 の 男 地 間を、 E * PROM および EPROMの 制 即 ゲートの 影状に バケーニング し、これをマスクに引き続き上記第 1 の専治過を E*PROM および EPROM の浮落ゲートの形 状にパターニングする工程と、

上記EPPROMおよびEPROMの制御ゲート、EPPROMの超択用MOSFET並びに母

辺用MOSFETのゲートをマスクにして、ソース/ドレイン領域形成用の不動物を、猛般に対しィオン注入する工程と、

このイオン注入された不純物を流性化して、ソ ース/ドレイン筑域を形成する工程とを具備する ことを特徴とする半導体記憶装置の製造方法。

(9) 毕即体当版上にフィールド語録機を形成し、素子領域としてE² PROM形成予定領域、EPROM形成予定領域、および周辺用MOSFET形成予定領域を得る工程と、

上記 6 ° P R O M 形成予定領域に対して所定の不純物をイオン注入し、第 ! の不純物原を形成する工程と、

案子領域上に第1のゲート総和鉄を形成する工程と、

上記 E P R O M 形成予定領域、および問辺別M O S F E T 形成予定領域上に形成された上記第1のゲート複数版を新駐する工程と、

上記EPROM形成予定領域、および周辺市 MOSFET形成予定領域上に上記第1のゲート

総縁領と戦軍の異なる第2のゲート総称膜を形成 する工程と、

上記第1の不純物器上の第1のゲート総練限の一部を除去し、再度、この除去部分に対して、第1および第2のゲート機嫌膜とは膜壁の異なる第3のゲート総練膜を形成する工程と、

全前に、E2 PROMおよびEPROMの浮遊ゲートとなる第1の専場階を形成する工程と、

この第1の復活層のうち、E2PROMの存進 ゲート形成予定前以上に不純物の窓筋能力を持つ 物質層を形成する工程と、

この物質層をマスクに、上紀第1の再電船に対し、 し不純物を導入し、この第1の再電船において、 面積低減値が異なる領域を少なくとも1関係形成 する工程と、

この面は抵抗値の異なる明度が少なくとも1時 所形成された第1の専電路のうち、E・PROM およびEPROMの選択用MOSFET並びに関辺用 MOSFET形成領域に存在する第1の専電器を 除去する工程と、

全面に 第4のゲート絶録限を形成する T 超と、 全面に、 E * P R C M および E P R C M の制御 ゲート、 E * P R O M の選択 M M O S F E T 並び に周辺用 M O S F E T のゲートとなる第2の 非電 層を形成する 正数と、

この第2の海電陽を、E2PROMの選択用 MOSFET並びに周辺用MOSFETのゲート の形状にパターニングする工程と、

さらにこの郊2の専電暦を、E²PROMおよびEPROMの制御ゲートの形状にバターニング し、これをマスクに引き競き上紀第1の専帯語を E²PROMおよびEPROMの浮遊ゲートの形 状にバターニングする工機と、

上記E² PROMおよびEPROMの制部ゲート、E² PROMの制訳用MOSFET並びにMOSPETのゲートをマスケにして、ソース/ドレイン領域形成用の不純物を、 E板に対しイオンル人する工程と、

このイオン准入された不純物を活性化して、ソ

特開平3-126265 (5)

- ス/ドレイン領域を形成する工程とを負弱する ことを特徴とする半導体配限装置の製造方法。

(10) 卡罗泽基版上にフィールド他級線を形成し、女子前域としてE² PROM形成子建領域、EPROM形成予定領域、および問辺相MOSFETが成予定領域を得る工程と、

上記E*PROM影成予定額減に対して所定の不能物をイオン注人し、第1の不抵物所を形成する工程と、

双子前岐上に第1のゲート的縁襲を形成する工程と、

上記EPROM形成予定領域、および周辺用 MGSFET形成予定領域上に形成された上記第 1のゲート掲載膜を訓練する工程と、

上記EPROM形成予定領域、および銀辺店MOSFET形成予定領域上に上記第1のゲート 治球域と胰層の異なる第2のゲート絶縁鏡を形成 する上程と、

上記第1の不能物層上の第1のゲート格録順の 一部を蘇去し、即度、この験表部分に対して、 第1万よび第2のゲート絶縁級とは腰厚の異なる 第3のゲート始縁版を形成する工程と、

全面に、E*PROMおよびEPROMの浮遊 ゲートとなる第1の事能値を形成する工程と、

この第1の専で筋のうち、EPPROMの接遊ゲート形成予定的減止に不能物の遊断能力を持つ物質層を形成する工程と、

この物質時をマスクに、上記第1の粤地層に対し不能物を導入し、この第1の専電路において、 面積低流線が異なる領域を少なくとも1期所形成する工程と、

この面板抵抗値の欠なる領域が少なくとも1 衛所形成された第1の単電器のうち、E*PROMおよびEPROMの停激ゲートのセルスリット、E*PROMの遊訳用MOSFET並びに開設用MOSFET能成領域には在する第1の導電隔を除出する工能と、

全面に第4のゲート絶縁熱を構成する酸化膜質を形成する工程と、

全国に第4のゲート地球調を構成する酸化され

にくい路段膜層を形成する工程と、

金面に、E・PPROMおよびEPROMの制御サート、E・PPROMの選択用MOSFET能びに周辺用MOSFETのサートとなる第2の遊覧圏を形成する工程と、

この 50 2 の 30 電路を 、 E * P R O M の 選択 用 M O S F E T 並びに 用 辺 用 M O S F E T の ケート の 形状 に パター ニング する T 器 と 、

さらにこの第2の写電園を、E*PROMおよびEPROMの製御ゲートの形状にパターニングし、これをマスクに引き雑き上記第1の専地語をE*PROMの再選ゲートの形状にパターニングする工程と、

上記E*PROMおよびEPROMの初回ゲート、E*PROMの選択用MOSFET推びに関 辺用MOSFETのゲートをマスクにして、ソース/ドレイン構成形成用の不純物を、語版に対し イオン強入する工程と、

このイオン准入された不動物を添性化して、ソ マス/ドレイン領域を形成する工程とを具備する ことを特徴とする中海体記版装置の製造方法。 3. 配明の詳細な説明

[発明の目的]

(眩棄上の利用分野)

この発明は辛禕体記憶装置およびその製造方法に関し、特に舞外様により配置消去が可能なメモリセルと、電気的に記憶消去が可能なメモリセルとを同一チップ上に記載した半導体記憶製造およびその製造方法に関する。

(従来の技術)

従来、1チャプ上にSRAMと、EPROM とのは、1チャプでイイクロコータイクロコークに、1チャプでイクロコークは、カーカーののような必要であるがでするが、はこんとはいますがあるといるのでは、例えばはは、のではははないで、というではないがあるSRAMではは、不得化性メモリであるEPROMで

33周平3-126265(6)

湯成されたメモリ部に記憶させる。

ところで、上記EPROMで係成されたメモリ路は、他のROMで構成しても待わないが、EPROMで構成することにより、メーカー調でデータを含き込む(装置内に作り込む)必要がなく、ユーザー側で圧撃なデータを含き込め、非常に便利で、かつ汎用性の高い製品となる。

しかし、上記 1 チップマイクロコンピュータでは、書き替える必要があるデータを記憶させるメモリ部が S R A M にて請成されているため、チップ上で、このメモリ部が占める戦合が火きいものとなっている。よって、上記 S R A M と、E P R O M とを混載した 1 チップマイクロコンピュータのチップケイズは、大きいものとなっている。

(免明が解決しようとする課題)

この 定明 は上記のよう ながに 選 みてあされた もので、 書き替える必要 がある データ を記憶する 記憶部と、 各き替える必要 がほとんどないデータ を記憶する記憶部とを合せ持つチップサイズの据

上記EPROM形成予定領域、および周辺別MOSPET形成予定領域上に形成された上記第 1のゲート能は額を対数する工程と、

上記第1の不報物層上の第1のゲート独録頃の一部を除去し、料度、この除去部分に対して、第1だよび第2のゲート抱線膜とは胰腺の異なる第3のゲート絶縁機を形成する工程と、

全回に、 E ² P R O M および E P R O M の 浮泡 ゲート、 E ² P R O M の 選択 用 M O S F E T 並び に 周辺 用 M O S F E T の ゲート と な る 項 1 の 専 電 圏 を 形成 す る 工 ね と 、

この第1の母型間を、EIPROMおよび EPROMの浮型ゲートのセルスリット、 EIPROMの選択用NOSFET並びに用辺的 MOSFETのゲートの形状にパターニングする 工銀と、 小された!テップマイクロコンピュータを提供することを目的とする。

[発明の協成]

(課題を解決するための手段)

この発明による第1の平線体記憶装置によれば、同一半線体は仮上に、EPROMにて構成された第1の記憶部と、EPROMにで構成された第2の記憶部と、MOSFETにて構成された 現辺部とを少なくとも異慮していることを特徴と する。

また、この第1の半線体記憶数盤の製造方法は、半導体伝統上にフィールド跨超級を形成し、素子防破としてE。PROM形成予定函域、EPROM形成予定函域、および周辺用MOSFET形成予定函域を得る工程と、

上記目『PROM形成予定領域に対して前定の 不純物をイオン注入し、第1の不純物語を形成す る工程と、

素子領域上に第1のゲート協議職を形成する工程と、

全面に、第4のゲート的経験を形成する工程と、 全面に、EPPROMおよびEPROMの制御 ゲートとなる第2の導環筋を形成する工程と、

この第2の導電路を、EPROMおよび EPROMの制御ゲートの形状にパターニング し、これをマスクに引き続き上記第1の導電階を EPPROMおよびEPROMの移迦ゲートの形 状にパターニングする工程と、

上記E「PROMおよびEPROMの制御ゲート、E³ PROMの選択用MOSPET並びに展辺増MOSPETでサートをマスクにして、ソース/ドレイン側域形成用の不純物を、基板に対しイオン法入する工程と、

このイオン性人された不飽物を活性化して、リース/ドレイン傾城を形成する工程とを負債することを特殊とする。

この発明による第2の半場が定性技器によれば、同一半等な基板上に、EPPROMにて構成された第1の記憶部と、EPROMにで構成された第2の記憶器と、MOSFETにて構成された

符開平3-126265 (プ)

問辺配とを異領してなる単海体記憶数壁において、 E*PROMおよびEPROMのが持つ浮遊ゲートと、MOSFETが持つゲートとが、それぞれ 異なる写地画にてなることを特徴とする。

また、この第2の半導体記憶装置の製造方法は、平等体区板上にフィールド絶報機を形成し、架子頻繁としてE*PROM形成予定頻繁、EPROM形成予定韻線、および周辺用MOSFETER使予定領域をおる工程と、

上記E⁷ PROM形成予定領域に対して所定の 不続物をイオン法人し、第1の不執物層を形成する こ程と、

表子領域上に第1のゲート協議職を形成する工程と、

上記EPROM形成予定額域および構設用 MOSFET形成予定額域上は形成された上記第 1のゲート複数版を到離する工程と、

上記EPROM形成予定明域、および周辺別MOSFET形成予定領域上に上記第1のゲート路路限と臨隊の異なる第2のゲート勘線職を形成

ちらにこの第2の 専復層を、 E * P R O M および E P R O M の 新御ゲートの形状に パターニング し、これをマスクに引き続き上記第1の 遊場層を E * P R O M および E P R O M の浮遊ゲートの形 状にパターニングする工程と、

上記 E 2 P R O M および E P R O M の 制御ゲート、 E 2 P R O M の 選択 I M O S F E T 遠び に 局 辺 川 M O S P B T の ゲートをマスク に して、 ソース / ドレイン 級 駅 形成 用の 不純 物を、 基板 に 対 し イオン 注入 する 工盤 と、

このイオン住入された不純物を指数化して、ソ - スノドシイン領域を形成する工程とを具度する ことを特徴とする。

この発明による第3の半導体記憶袋間によれば、同一半導体拡較上に、EIPROMにて構成された第1の記憶部と、EPROMにて構成された第2の記憶部と、MOSPETにて構成された均辺部とを具備し、上記EIPROMのが持つ浮遊ゲートと、MOSFETが内つゲートとが、それぞれ異なる姿質圏にてな

する正程と、

上記記1の不純物語上の第1のゲート終録版の一部を除去し、何改、この験差部分に対して、第1および第2のゲート絶録談とは頻繁の異なる第3のゲート絶縁勝を形成する工程と、

全面に、E*PROMおよびEPROMの浮造ゲートとなる第1の外俗圏を形成する工程と、

この第1の毎年協のうち、E*PROMおよびをPROMの存在ゲートのセルスリット、E*PROMの遊択用MOSFET並びに周辺用版OSPをT形成領域に存在する第1の容器層を験出する工程と、

全面に第4のゲート箱線線を形成する工程と、 全面に、E*PROMおよびEPROMの制御ゲート、E*PROMの産択用MOSFET並びに周辺頂MOSFETのゲートとなる第2の専定層を形成する工程と、

この32の専電路を、E2PRUMの選択用MUSFET並びに関辺用MOSFETがに同辺用MOSFETのゲートの形状にパターニングする工程と、

る半導体記憶器器において、E*PROMおよび EPROMが持つ浮遊ゲートと、約例ゲートとの 間に、般化液と、酸化されにくい絶縁機とが存在 することを特徴とする。

また、この第3の半母体思信疑図の製造方法は、半導体基板上にフィールド絶数膜を形成し、菓子領域としてEIPROM形成予定領域、EPROM形成予定領域、および無辺用MOSFET型成予定領域を移る工程と、

上記号*PROM形成予定頻域に対して所定の不能物をイオン注入し、第1の不能物層を形成する工程と、

者子領域上に第1のゲート絶録膜を形成する工程と、

上記EPROM形成予定領域、および問題用MOSFET形成予定領域上に形成された上記第 1のゲート跑鍵號を割離する工程と、

上記EPROM形成下電鐵城、および別辺用 MOSFET形成下定舗架上に上記節1のゲート 絶縁関と競隊の刄4ろ第2のゲート絶縁数を形成

3間平3-126265 (B)

する工程と、

上記第1の不能物層上の第1のゲートを収集の一部を設立し、再度、この設立部分に対して、第1および第2のゲート絶程限とは限原の異なる第3のゲート絶程機を形成する工程と、

全面に、E * P R Q M およびEPRQMの浮遊ゲートとなる第1の専場層を影成する322と、

この第1のは電路のうち、E² PROMおよびEPROMの活港ゲートのセルスリット、 E² PROMの選択用MOSFET並びに同辺用 MOSFET形成領域に存在する近1の導電器を 除去する工程と、

全歯に第4のゲート絶縁膜を構成する線化膜癌を形成する工程と、

金面に第4のゲート絶縁機を構成する熱化され にくい路線機械を形成する工程と、

全面に、E * PROMおよびEPROMの制面サート、E * PROMの選択用MOSFET並びに周辺別MOSFETのゲートとなる第2の単総路を形成する工程と、

周辺部とを具備してなる単導体記憶装置において、 E² PROMが持つ浮遊ゲートを構成する専電像 と、EPROMが持つ浮遊ゲートを構成する導電 略との函検抵抗能がそれぞれ異なることを特徴と する。

また、この第4の半導体記憶装置の製造方法は、半導体基板上にフィールド絶縁機を形成し、飛手筋域としてE² PROM形成予定筋域、EPROM形成予定筋域、EPROM形成予定筋域、センび規辺用MCSFET形成予定領域を得る工程と、

上記E * PROM 形成予定領域に対して所定の不純物をイオン往入し、第1の不純物層を形成する工程と、

案子領域上に第1のゲート語程額を形成かる工程と、

上記EPROM形成予定領域、および周辺用MOSFET形成予定領域上に形成された上記第 1のゲート格録額を割載する工程と、

上記 E P R O M 形成予定領域、および周辺用M O S P E T 形成予定領域上に上記第1のデート

この第2の存電脳を、EIPROMの選択所MOSFET並びに周辺用MOSFETがサートの形状にパターニングする工程と、

さらにこの第2の過程層を、E² PROMおよびEPROMの制御ゲートの形状にバターニング し、これをマスクに引き続き上記第1の専習順を E² PROMおよびEFROMの浮遊ゲートの形 状にパターニングする工程と、

上記E2 PROMおよびEPROMの調理ケート、E2 PROMの選択用MOSPET並びに以 辺用MOSPETのゲートをマスクにして、ソース/ドレイン循級形成用の不能物を、落版に対し イオン法人する工程と、

このイオン法人された不知物を活性化して、ソース/ドレイン領域を形成する工程とを具備することを特性とする。

この発明による第4の半導体を掲載波によれば、同一半導体は板上に、EPPROMにて構成された第1の記憶部と、EPROMにて構成された第2の記憶部と、MOSFETにて構成された

絶極襲と襲撃の異なる第2のゲート絶縁競を形成する工器と、

上記録 3 の不能物職上の第 1 のゲート絶縁膜の一部を除去し、再尾、この除去部分に対して、第 1 および第 2 のゲート絶縁聴とは襲撃の気なる第 3 のゲート絶縁機を形成する工程と、

全面に、 E ² P R O M 起よび E P R O M の 浮遊 ゲート、 E ² P R O M の 選択 H M O S F E T 並び に R 辺 H M O S F E T の ゲートと な る 第 1 の 準 茂 随を 形 攻 す る 工 程 と 、

この第1の導道圏のうち、 E * PROMの浮遊ゲート形成予定射域上に不能物の遺跡能力を持つ 物質過を形成する工程と、

この物質版をマスクに、上記第1の専出版に対し不純物を導入し、この第1の専化版において、 通額派院値が異なる領域を少なくとも1 関所形成 する工程と、

この面核低抗磁の異なる領域が少なくとも1数 所形成された第1の導電面を、E*PROMお よびEPROMの浄遊ゲートのセルスリット、

特別平3-126265 (9)

E P P R O M の 選択 H M O S F P T 並びに H 政用 MOSFETのゲートの形状にパターニングする

全面に、第4のゲート絶縁膜を形成する工程と、 全層に、E'PROMおよびEPROMの網期 ゲートとなる第2の推花屋を彫成する工程と、

この第2の多省層を、E * PROMおよび EPROMの制御ヤートの形状にパターニング し、これをマスクに引き続き上記第1の母電層を E ³ PROMおよびEPROMの浮遊ゲートの影 状にパターニングする工程と、

上記EI PROWおよびEPROMの制御ゲー F、EIPROMの選択用MOSFET並びに用 辺用MOSFETのゲートをマスクにして、ソー スノドレイン領域形成用の不銹物を、基板に対し イオン佐入する工程と、

このイオン法入された不輔物を活住化して、ソ - ス/ドレイン領域を形成する工程とを民選する ことを特徴とする。

この発明による第5の半導体記憶装置によれ

は、同一半導体持観上に、E * PROMにて構成 された第1の記憶部と、EPROMにて構成され た第2の記憶部と、MOSFEでにて構成され た周辺部とを具備し、上記E* PROMおよび EPROMのが約つ序遊ゲートと、MOSFET が詳つゲートとが、それぞれ異なる非常層にてな を半時体記憶鉄型において、E 2 P R O M が持つ 汚葱ゲートを講成する海電間と、EPROMが内 つ河辺ゲートを讃成する準電局との配数抵抗値が それぞれ異なることを特徴とする。

また、この第5の単導体記憶装置の製造方 悠は、半導体な板上にフィールド絶縁期を形 吸し、煮干钢铁としてE2PROM形成予定领 腹、EPROM形成予定额域、および周辺用 MOSFET形成予定被缺乏的る工程と、

上紀日『PROM形成予定訓號に対して所定の 不疑物をイオン法人し、第1の不純物譜を形成す る工稿と、

君子領域上に第1のゲート絶縁膜を形成する工 根と、

上記EPROM形成予定領域、および周辺周 MOSFET影威予定领域上标影或された上亞第 1のゲート船級額を訓練する工程と、

上記EPROM形成予定領域、および周辺用 MOSFET形成予定領域上に上記図1のゲート 絶線膜と膜膜の異なる第2のゲート的緑膜を形成 する工程と、

上記第1の不統物層上の第1のゲート絶疑験の 一部を除去し、再皮、この除去部分に対して、第 1 および節2のゲート絶鉄線とは腹壁の異なる筋 3のゲート絶雑膜を形成する工程と、

全面に、E·PROMおよびEPROMの浮遊 ゲートとなる第1の専心値を形成する工程と、

この節1の専用値のうち、EVPROMの浮遊 ゲート形成予定前放上に不軽物の過断能力を持つ 物質脳を形成する工程と、

この物質層をマスクに、上記第1の専唱器に対 し不純物を導入し、この第1の母語層において、 顔敬祗姚値が異なる類似を少なくとも!成所形成 するて程と、・・

この面景抵抗値の異なる順級が少なくとも1級 所形成された第1の専選艦のうち、E2 PROM およびPPROMの浮遊ゲートのセルスリット、 E: PROMの選択用MOSFET並びに周辺用 MOSFET影成頻線に存在する第1の群電層を 除去する工程と、

全面に第4のゲート絶縁勝を形成する工程と、 全面に、E * PROMおよびBPROMの制御 ゲート、E ² PROMの遊訳がMOSP E T 並び に周辺用MOSFETのゲートとなる第2の専制 暦を彫成する工作と、

この第2の専用語を、EPPROMの選択用 MOSFET並びに周辺用MOSPETのゲート の形状にバターニングする工程と、

さらにこの困2の卑電隔を、E2 PROMおよ びEPROMの斜面ゲートの形状にパターニング し、これをマスクに引き続き上記第1の母電路を E T PROMおよびEPROMの浮遊がートの形 状にパターニングする工程と、

上記EI PROMおよびEPROMの制面が-

特開平3-126265 (10)

ト、E2PROMの遊択地MOSFET並びに MOSPETのゲートをマスクにして、ソース/ Fレイン領域形成用の不認物を、恐根に対しイオン株人する工程と、

このイオン注入された不能物を洗性化して、ソ - スプドレイン領域を形成する工程とを具備する ことを特徴とする。

とを特徴とする。

また、この36の半写体記憶装置の製造方法は、平写体器設上にフィールド語経験を形成し、凝于新域としてEIPROM形成予定新域、EPROM形成予定新域、および構造用MOSPET影成予定新域を得る工程と、

上記EIPROM形成予定領域に対して所定の 不納物をイギン注入し、第1の不無物脳を形成す る工程と、

本子領域上に第1のゲート絶殺額を形成する工程と、

上記EPROM形成予定額週、および周辺用MOSFET形成予定額域上に形成された上記第 1のゲート複雑膜を刺離する工程と、

上紀EPROM形成予定明線、および周辺周MOSFET形成で定期線上に上記第1のゲート 絶経膜と膜深の異なる第2のゲート絶難膜を形成 する工程と、

上紀第1の不能物歴上の第1のゲート絶縁機の一部を除去し、智度、この除去部分に対して、

第 1 および第2のゲート格線膜とは腹壁の異なる 第3のゲート格線膜を形成する工程と、

金面に、E*PROMおよびEPROMの浮造ゲートとなる第1の単電階を形成する工程と、

この第1の時間層のうち、E * FRCMの浮遊ゲート形成予定領域上に不能物の適断能力を持つ物質類を形成する工程と、

この物質層をマスクに、上記第1の専電器に対し不能物を導入し、この第1の選起層において、 函級低抗値が異なる領域を少なくとも1箇所形成 する工程と、

この面積低抗値の異なる筋機が少なくとも1 内 所形成された第1 の砂電圏のうち、E2 PROM およびドPROMの浮遊ゲートのセルスリット、 E2 PROMの選択用MOSFET進びに周辺用 MOSFET形成額域に存在する第1の母階層を 統立する工程と、

全面に第4のゲート絶縁脚を認収する酸化鉄層を形成する工程と、

金面に領4のゲート総様競を構成する酸化され

にくい絶縁順論を形成する工程と、

全面に、E*PROMおよびEPROMの制御ゲート、E*PROMの透沢用MOSPET並びに周辺用MOSFETのゲートとなる第2の専覧船を形成する工程と、

この第2の専項審を、E² PROMの選択用MOSFET並びに周辺用MOSFETのゲートの形状にパクーニングする工程と、

さらにこの第2の爆器層を、E2 PROMおよびEPROMの制御ゲートの形状にバターニングし、これをマスクに引き焼き上記第1の準値層をE2 PROMの外担ゲートの形状にバクーニングする工程と、

上記と『PROMおよびをPROMの制御デート、EPPROMの選択所MOSPET並びに超辺用MOSFETのゲートをマスクにして、ソース/ドレイン断域形成用の不延物を、基級に対しイオン注入する工程と、

このイオン症人された不超物を消性化して、ソ ース/ドレイン領域を形成する工程とを見解する

時期平3~126265 (11)

ことを特徴とする。

(作用)

上記のような第1ないし 第6の 半導体 記憶装置にあっては、 E² PROMにて 構成された記憶 第において、 地気的に記憶消去が 可飽であるため、データの随時 費き 替えという RAM 動作が可能であり、よって、 辨えばチップ上に形成されている SRAM との値 自決えが可能である。 しかも、 従来の SRAM に比較して、 その 1 セル 当りの 面積は 約1 / 5 であることから、上記第 1 ないし 第6の半海体記憶装置のチップサイズは小さくなる。

さらに、このE * PROMにて根成された記憶部においては、従来のSRAMではできなかったデータの記憶というROM動資も可能になることから、上紀第1ないし第6の半導体記憶装電の機能性はおいものになる。

上記別1の中導体記憶装電の製造方法によれば、 EPPROM形成別限に存在する第1ゲート総録 限と、トンネル無程限と、EPROM形成領域お よびMOSFET形成領域に存在する第1ゲート

ジスタの節1ゲート路姆膜とを、それぞれ異なる 聴輝に形成して、さらに、 E² PROMおよびEPROMの浮遊ゲートと、 MOSPET (E² PROMの選択トランジスタを含む) のゲートとを、それぞれ異なる準確増にて形成して、 E² PROMと、MOSPETとが同一チップに形成できるようになる。しかも、MOSPETとで(E² PROMの選択トランジスタを含む)のチャネル領域に対するチャネルインブラの際には、 微性酸化胰の導入が可能となる。

上記第4の半導体記憶装置の製造方法によれば、 第1の半導体記憶装置の製造方法の作用に加えて、 E"PROはの浮遊ゲートと、EPROMの浮遊 ゲートとの過級抵抗組とを、互いに異ならせて形 成できるようになる。

上記記ちの半導体記憶数型の製造方法によれば、 第2の半導体記憶気器の製造方法の作用に加えて、 E² PROMの浮遊ゲートと、EPROMの浮遊 ゲートとの面積低抗値とを、且いに異ならせて形 成できるようになる。

総対限とも、それぞれ以なる頻序に形成して、 E・PROMと、EPROMと、MOSFETと が同一チップに形成できるようになる。

上記符3の平海外記憶製造の製造方法によれば、E・PROM形成所域のE・PROMセルの第1ケート絶縁器と、トンネル絶縁器と、EPROM形成前域の第1ケート絶縁機と、MOSFET影成新域がよびE・PROM形成頻域の選択トラン

上記第6の単導体記憶装置の報道方法によれば、第3の半導体記憶装置の報道方法の作用に加えて、EPROMの序道ゲートと、EPROMの序型ゲートとの翻組版抗値とを、互いに異ならせて形成できるようになる。

(鬼筋例)

以下、図面を参照して、この発明の表準例に 係わる単導体記憶鼓置およびその製造方法につい て誘明する。

第1回は、この充明の第1の実施的に係わる事 複体記憶装置の概念を示す販値図である。

第2回(a)ないし第2回(h)は、第1回に ボす年等体記憶装置を製造工程類に示した瞬回図 である。

まず、第1節の新面図に示すように、単年体益数1上には、フィールド酸化酸2か形成され、EPROM形成領域、および周辺用MOSFET形成領域の各館勘索子領域に、それぞれ分離されている。

これらの能効果子領域のうち、まず、

特別平3-126265 (12)

BIPROM形成競技における能動業子の構造に ついて説明する。EPPROM形成傾域における 益板1の表面領域には、基板1とは反対界希望の ソース/ドレイン領域3が2箇所に形成されてい る。これらのソース/ドレイン領域3の相互間に は、第2のソース/ドレイン領域3′が1箇所形 成されている。第2のソース/ドレイン領域3′ には、これに抜して、恁板しとは反対専電型の不 鈍物器4が形成されている。ソース/ドレイン領 城ると、第2のソース/ドレイン領域3′との相 互間に形成されるチャネル領域上には、第1ゲー ト酸化腺をが形成されている。この第1ゲート酸 化膜5の膜壁は、胸えば430人程度である。た だし、不確物勝4上に存在する第1ゲート酸化原 ちには、一部、鉄厚が、例えば100人程仪のト ンネル酸化膜5′ が設けられている。これらの第 1.ゲート酸化酶5、およびトンネル酸化酶5′上 には、節1層ポリシリコン時にて形成された浮遊 ゲートらが形成されている。選択月MOSFET 倒に存在するソースノドレイン領域3と、第2の

ソース/ドレイン領域3′との租互間に形成され るチャネル崩壊上には、選択月MCSPETの第 1ゲート酸化铍7が形成されている。この祭1ゲ - ト酸化酶での酶類は、第1分~ト酸化膜をの療 駆と倒じであり、例えば430人径度である。こ の第1ゲート軟化脳7上には、第1箱ポリシリコ ン塔にて形成された選択用MOSFETのゲート 8が形成されている。

一方、浮遊ゲートら上には、類2ゲート酸化膜 りが形成されている。この項2ゲート酸化版9上 には、第2階ポリシリコン騒にて形成された例題 ゲート10が形成されている。全面には、原間整 緑膜し!が形成され、この疑問絶縁膜11には、 ソース/ドレイン領域3に通じるコンタクト孔 12が開孔されている。このコンタクト孔12内 には、例えばアルミニウムからなる配線12~が 形成されている。さらに、層間粘線購11上には、 表面保護船13か形成されている。

次に、EPROM形成領域における電動単子の 迅速について説明する。 EPROM形成領域にお

ける苗板1の表面類似には、苗板1とは反対導路 翌のソース/ドレイン領域14が2頭所に形成さ れている。これらのソース/ドレイン領域14の 旧互関に存在するチャネル領域上には、第1ゲー ト酸化膜15が形成されている。この第1ゲート 放化級 15の 魏原は、別えば 250 人程度である。 この第1ゲート微化膜15上には、第1日ポリシ りコン暦にて形成された浮遊ゲート16が形成さ れている。この節遊ゲート16上には、第2ゲー ト酸化幾1?が形成されている。この第2ゲート 酸化胰17上には、第2層ポリシリコン層にて形 成された制御ゲート18が形成されている。全面 には、展開終練験11が形成され、この層間負債 腹11には、ソース/ドレイン領域14に通じる コンタクト孔19が悶孔されている。このコンタ クト孔19内には、例えばアルミニウムからなる 配数19′が形成されている。さらに、層間絶数 独11上には、表面保護膜13が形成されている。. 感用的鞣液11上には、安康保護器13が形成さ 尚、凶示すると³ PROMおよびEPROMは、

ソースおよびドレインにおのおの配線が接続され

た、いわゆる2パス方式のものである。

次に、照辺増MOSFGT形成領域における能 動者子の構造について説明する。 M O SFET形 成領域における証板1の表面領域には、苗板1と は反対解省型のソース/ドレイン領域20が2億 所に形成されている。これらのソース/ドレイン 領域20の相互関に存在するチャネル領域上には、 第 1 ゲート酸化器 2 1 が形成されている。この第 1ゲート酸化酶21の波原は、第1ゲート酸化酶 15と同じであり、例えば250人環皮である。 この第1ゲート酸化膜21上には、第1層ポリシ リコン唇にて形成されたゲート22が形成されて いる。全面には、瞬間絶粋騒ししが形成され、こ の居内枢線験11には、ソース/ドレイン領域 20に通じるコンタクト孔23が関孔されている。 このコンタクト礼23内には、例えばてルミニウ ムからなる企場23′が形成されている。さらに、 れている。

第1の異胞例に係わる半導体記述数置は、以上

特閒率3-126265 (13)

のような構造となっている。

このような、類1の実施例に係わる半導体記憶袋器によれば、E²PROMと、EPROMとが同一基板1上に起載されている。したがって、1チップ上に、E²PROMにて構成され、電気的に配復渦数が可能である記憶部と、5PROMにて構成され、紫外韓吸射により記録消去が可能である記憶部とを備えた半導体記憶装置が実現される。

また、E² PROMは、電気的に記述の消失 が可能であるため、デークの結時音を替えというRAM動作が可能である。そこで、従来の SRAM、EPROM温級1チップマイクロコンピュータにおいて、SRAMを、E² PROM と異き換えることが可能である。しかも、 E² PROMは、SRAMに比較して、その1セル当ちの面積が約1/5であることから、類1の 実験例に係わる半導体記憶装置のチップサイズは 小さいものとなる。

さらに、このモ² PROMにて提収された記憶

那では、従来のSRAMではできなかった不得発性のデータ記憶というROM動作も可能であり。 よって、入力されたデークは、会で消去されるものではなくなり、必要に応じてデークの認識が可能となり、1チップマイクロコンピュータの機能は、より高いものとなる。

ちらに、 本名明の 効果としては、後来のEPROM搭載半導体記憶装置とを、 それぞれ 1 チップにモノリシック化することも可能であり、例えばシステムの時略化、器械能化等にも貢献できる。

次に、第2図(a)ないし第2図(b)を参照して、第1の実施的に係わる単母体記憶装置の製造方法について説明する。第2図(e)ないし第2図(b)において、各参照する符号は、第1図と対応するものとする。

まず、節2図(a)に示すように、例えばり数 年時は基板! (ここでは、健直上、基板1をり数 とした場合について説明をする) 上に、例えば公 短であるし0005ほにより、フィールド酸化機

2を選択的に形成し、E2PROM形成領域、EPROM形成領域、および周辺用MOSFET形成領域の各能勘案子領域に、それぞれ分離する。次に、短出している甚級1の表面に、例えは熱酸化法により、第1の熱酸化漿24を形成する。次に、E2PROM形成領域における話級1の所定の場所に対して、例えば図示しないかトレジストによるマスクを用いて、選択的に、n型不能物質4を形成する。

次に、第2図(b)に示すように、EPROM 形成領域、および超辺別MOSPET形成領域上 に形成されている第1の無酸化膜24を験去し、 例えば西板1表面を頭出させる。

次に、第2図(c)に示すように、EPROM 形成領域、および周辺用MOSFET形成領域に おける苗板1の前出面に、例えば熱酸化法により、 第2の熱酸化跌25を形成する。このと者、熱酸 化時の熱により、第1の熱酸化铵24も成長し、 酸取が若干厚くなる。

次に、第2回(e)に示すように、 全面に、 例えば C V D 法により、 第1回ボリシリコン 器 2 8 を形践する。ここで、 第1回然酸化膜 2 4 、 第 9 の 熱酸化膜 2 5 、 および第 3 の 熱酸化膜 2 6 で の と きの 酸 塚 は く この と きの 酸 塚 は は、 例 2 5 0 え、 および 節 1 0 0 よ である。これらの 臓 塚 位 は 、 上 記 値 に なけるものではなく、 それぞれ 適 切な 腹 塚 か は こと は りゅである。ところで、 実 極 的 中に かける 第1の 熱酸 化 帳 2 4 の 数 原 は 、 第1 図

預開平3-126265 (14)

次に、第2回(f)に示すように、第1項ボリンリコン階28を、例えば営示しないホトレジストを用いた写真独詞法により、EiPROMをよびEPROMにおける浮遊ゲートのセルスリット(第2回(f)には図示せず)、選択別MOSFET並びに異辺亀MOSFETのゲート

の形状 (これらの部分には、符号28′を付す) にパクーニングする。この状態の平面図を第3図 に瞬示する。

次に、 類 2 関 (g) に示すように、 全菌に、 消えば 熱 数 化 法に よ り 、 第 4 の 熱 数 化 減 3 0 を 形 成 する。 この 第 4 の 熱 酸 化 機 3 0 は 、 E * P R O M および B P R O M の 毎 2 ゲート 酸 化 験 と な る も の

であり、したがって、その腰壁は、両メモリセルの特性に合わせて設定される。次に、全国際がリンリコンを記まり、第2階がリシリコンを形成対し、例えばPOEI,突囲気が中により、第2階がリシリコンを31なの形ははのり、第2階がリシリコンを31なが、数にの第2階が明めてオンなりがで、第2階がリシリコンを31を形成しても扱わない。また、あらかじか不純物がドープをはわない。

次に、第28(h)に示すように、EPROM形成領域、およびE²PROM形成領域のメモリトランジスタ領域の上部を、例えば図示しないホトレジストによってマスクする。次に、ホトレジストをマスクとして、韓辺用MOSFET形成領域、および選択用MOSFET所はの上部に存在する年2億ポリシリコン盤31を除去し、今度次に、図示しないホトレジストを除去し、今度

は、周辺明MOSFET形成領域、および選択用 MOSFET頭頭の上部を、餌えば図示しない永 トレジストによってマスクする。これとともに、 E ³ PROMおよびEPROMの制御ゲートバタ ーンを、ホトレジストに形成する。次に、ホトレ ジストをマスクとして、第2届ポリシリコン路 31、第4の熱酸化酸30、および蒸1届ポリシ リコン暦28を順次節去する、いわゆるセルファ ラインエッチングを行なう。このセルフアライ ンエッチングによって、第1層ポリシリコン原 28にて構成された序遊ゲート6、16、並びに MOSFET (選択用MOSFETを含む) のゲ ート8、22が形成される。同様に、第4の熱酸 北族30にで構成された第2ゲート胶化級9、 1.7、並びに第2層ポリシリコン盛31にて構成 された制御ゲート10、18が形成される。また、 第1の無酸化膜24にて構成された第1ゲート酸 化獎5、7が形成される。同様に、第2の無政化 勝25にて協説された第1ゲート歌化膜15、 2 1 が形成され、第3の熱酸化器27にて構成さ

特開平3-126265 (15)

れたトンネル酸化酶5′が形成される。次に、制 御ゲート」のおよび18、遊びにMOSFET (選択所MOSFETを含む) のゲート8、22 をマスクにして、の選不能物である、例えばヒ業 32を、盗殺1に対してイオン法人することによ り、昼観1とは反対導電型のソース/ドレイン領 終3、3′14、30を、それぞれ形成する。次 に、これらのソースノドレイン領域3、31、 14、20を、例えば熱処理することにより、岩 性化させる。ここで、ソース/ドレイン領域3~ は、の型不能物質々に接するように活性化される。 この後、海上図に示すように、全面に藤隨地数 騒」1を形成する。次に、例えば図示しないホト レジストを用いた写真嫌刻法により、題問絶疑態 11に対して、リース/ドレイン領域3、14、 20号に誰じるコンタクト孔12、19、23を、 遊択的に開孔する。次に、例えばスパッタ流によ

にパターニングする。そして、最後に、表面保証 限13を全面に形成することにより、この発明の 第1の実施例に係わる半導体記憶装置が製造される。

このような、第1の実施的に係わる半導体記憶度産の製造方法によれば、第1ゲート酸化腺 5、7、トンネル酸化腺 5′、第1ゲート酸化腺 15、21を、それぞれ異なる酸厚に形成して、 5°PROMと、EPROMと、MOSFETと が同一チップに形成できる。本実施的中では、第1ゲート酸化酶 5、7の隣壁が 430人、第1ゲート級化機 15、21の眼摩が 250人、トンネル酸化粧 5′の眼摩が 100人となっている。

以下、第4 図、第5 図(8)ないし第5 図 (4)、および第6 図を参照して、この発射の第2の実施例に係わる半導体記憶製置およびその観 遊方法について説明する。

第4図は、この発明の第2の実施的に係わる半 専体記録装置の概念を示す断面図である。

第5日(e)ないし第5因(d)は、第4日に

系す早準体記憶装置を製造工程順に示した断面図 である。

り、コンタクト孔12、19、23内を含む金面

に、アルミニウム等の導動性の材料を放益し、こ

れを所定の配籍12′、19′、23′等の形状

第4回の断面図において、第1回と同一の部分 については、同一の参照符号を行し、型複する映 明は避けるものとする。

この弟2の実施例に係わる学界体記憶袋蟹の特徴としては、主に、以下に説明する4点がある。

第4図に示すように、まず、第1に、 E*PROM形成倒域におけるメモリトランジスクの第1ゲート酸化膜 5 と、選択用MOSPBT の第1ゲート酸化膜 3 3 との瀕豚が良いに異なる 点である。 第1の実施例に係わる非導体記憶装置 では、これらが、同一の腹厚を持っていた。 本1の 2の炭焼例に係わる半導体記憶設置では、 第1の ゲート酸化膜 5 の頻摩が、 例えば 4 3 0 人 程度で あり、 第1のゲート酸化膜 3 3 の腹脈が、 例えば 25 0 人程度である。

類 2 に、 EPROM形成領域における第 1 ゲート酸化酶 1 5 と、 周辺用MOSFET形成領域における第 1 ゲート酸化酶 3 5 との簡解が異なる点

である。第1の実施例に係わる半導体記憶装置では、これらが、同一の膜単を持っていた。本第2の実施例に係わる半導体記憶装置では、第1のゲート酸化降15の膜厚が、例えば250人程度であり、第1のゲート酸化降35の膜厚が、例えば150人程度である。

第3に、選択別MのSFETのゲート34が第 2 断ポリシリコン層にで形成されている点である。 第3の実施網に係わる準導体記憶数量では、これ が第1 筋ポリシリコン層にで形成されていた。

第4に、周辺用MOSFETのゲート36が第 2層ポリシリコン器にて形成されている点である。 第1の実施例に係わる学導体紀憶装置では、これ が第1層ポリシリコン層にて形成されていた。

以上の4つの特徴から、第2の実施的に係わる半導体を促放理によれば、第1層ボリシリコン層にて形成された浮型ゲート 6、16と、MOSPET (選択用MOSFETを含む)のゲート34、36との、約えば面殻抵抗値 psや、膜厚等を、それぞれ任意に変えることができる。

特爾平3-126265 (16)

よって、第1の実施例に張わる半導体記憶設置に 比べて、E * P R O M およびE P R O M の 特性の 設定、並びにM O S P E T (E * P R O M の選択 トランジスタを含む)の特性の数定に、互いに含 的度を持たせることができる。

次に、第5個(a)ないし第5個(d)を容照して、第2の実施例に係わる半導体記録装数の製造方法について説明する。第5回(a)ないし第5個(d)において、各参照する符号は、第4回と対応するものとする。

尚、第5回(a)までの工程は、第1の実施例に係わる学得体記憶装置で提明した第2回(a) ないし第2回(d)の工程と、ほぼ同一の工程であるのでは略する。

第5 図(a)に示すように、第1 の実施別に係わる早進体記路装置で説明した第2 図(d)までの工程と、ほぼ同一の工程を超て形成された装置の全面に、例えばCV D 法により、第1 層ポリシリコン絡2 8 を形成する。ここで、第1 の熱酸化議2 4、第2 の熱酸化酶2 5、および類3 の熱酸

化膜27の成長は、ほぼ止まる。このときの膜厚 は、例えばそれぞれ約430点、約250点、お よび約100人である。これらの暦界遺は、上記 題に限られるものではなく、それぞれ適切な贖尽 苞に設定してよいことは勿論である。ところで、 この実施例中では、第1の熱酸化腺24の腹厚が、 第4國に図示する第1ゲート酸化腺5の胰煙に、 ほば等しいものとなる。同様に、第2の結股化膜 25の順厚は、毎1グート駅化膜15の膜原に、 ほぼ等しいものとなる。第3の熱酸化膜27の腹 草は、トンネル酸化酸5′の膜原に、ほぼ等しい ものとなる。次に、第1届ポリンリコン暦28に 対し、朔えばPOC1、雰囲気中におけるリンは 散により、第1層ポリシリコン層28が飛盤の、 面積低抗値のるを持つようは導体化(n型化)す る。この第1層ポリシリコン脳28の資体化処理 は、別にn與不範数のイオン注入によっても構む ない。また、あらかじめ不調物がドープきれた形 で第1層ポリシリコン暦28を形成しても構わな 41 .

次に、第5図(b)に示すように、第1箇ポリシリロン局2名に対して、例えば暫示しないホトレジストを用いた写真独創法により、セルズリット(第5図(b)には図示せず)をパターニングし、例内に、環辺用MOSFET形成領域および選択用MOSFET強敗上に存在する第1層ポリシリコン器2名を除去する。この状態の平面図を第6図に示す。

次に、おう図(c)にポリように、全面に、例えば熱酸化法により、第4の熱酸化胰30を形成する。この部4の熱酸化胰30は、E² PROM およびEPROMの羽2ゲート酸化医、並びに

MOSFET(選択用MOSFETを含む)の外には、ですり、したがっており、したがっており、したがっており、したがっており、したがっており、したがっており、したがっており、などを見なれる。次には現用MOSFEでは現用MOSFEでは現用MOSFEでは、からなどでは、例えばでVD法にはない。第2届ポリンシにはない、例えばでVD法にはない。第2届ポリンシにはない。が、所はのではない。をおけるのではない。第2届ポリンとはない。第2届ポリンとはない。第2届ポリンとないのではない。第2届ポリンとのではない。第2届ポリンとのではない。第2届ポリンとのではない。第2届ポリンとのではない。第2届ポリンとのではない。第2届ポリンとのではない。第2届ポリンとのではない。第2届ポリンとのではない。

次に、第5図(d)に示すように、EPROM形成前域、およびE°PROM形成前域のメモリトランジスタ領域の上部を、例えば図示しないホトレジストによってマスクする。次に、ホトレジストをマスクとして、MOSFET形成領域およ

特朗平3-126265 (17)

び遊択用MOSFET籠域の上部に存在する第2 台ポリシリコンM31を、所定のMOSFETの ゲートの形状にパケーニングする。これによっ て、第2層ポリシリコン盛31にて構成された MOSFET (遊択塀トランジスタを含む) のゲ - ト34、36が形成される。同時に、男4の熱 銀化膜30にで構成されたMOSFET(選択用 MCSFETを含む)の第1ゲート放化線33、 35が形成される。次に、図示しないホトンジス トを除去し、今成は、MOSPET形成領域、お よび選択用MOSFET領域の上部を、例えば図 がしないホトレジストによってマスタする。これ とともに、EIPROMおよびEPROMの創類 ゲートパターンを、ホトレジストに形成する。次 に、ホトレジストをマスクとして、第2旭ポリシ リコン超31、毎4の熱酸化度30、および第1 雁ポリシリコン暦28を顧次辞去する、いわゆる セルフアラインユッチングを行なう。このセルフ アラインエッチングによって、第1層ポリシリコ ン騒2日にて構成された浮遊ゲート6、16が形

成される。同様に、第4の結及化額30にて構成 された第2ゲート競化競与、15、並びに第2届 ポリシリマン層31にで構成された制御ゲート 10、18が形成される。また、第1の無酸化器 24にて構成された第1ゲート酸化與5が形成さ れる。同様に、第2の無数化膜25にて讃求され、 た第1ダート酸化胰15が形成され、第3の熱酸 化鴨27にて協成されるトンネル酸化膜5′か彩 政される。次に、刺狒ゲート10および18、並 びにMOSFET (選択用MOSFETを含む) のゲート34、36をマスクにして、 n 超不能物 である、例えばと異32を、甚反1に対してイオ ン注入することにより、基板1とは反対非戦闘の ソース/ドレイン所族3、3114、20を、モ れぞれ形成する。次に、これらのソースノドレイ ン傾岐3、3′、14、20を、餌えば熱処理す ることにより、消性化させる。ここで、ソース/ ドレイン領域3~は、n型不純物脂4に彼するよ うに高性化される。

この後、第4回に示すように、第1の質能例

同様、題問語級版11の形成、コンタクト孔12、 29、23の内孔、アルミニウム等の専選性膜の 落音、これを所定の配線形状にバターニング、を して表面保護限13の形成等によって第2の実施 例に係わる半導体記憶裁選が製造される。

このような、第2の実施的に係わる半男体記憶 被似の製造方法によれば、第1ゲート酸化幾5、 トンネル酸化酸5′、第1ゲート酸化酸15、並 びに第1ゲート酸化酸33および35を、それぞ れ異なる頻厚に形成することができる。本実施例 中では、第1ゲート酸化膜5の頻厚が430人 程度、第1ゲート酸化膜15の頻厚が250及 位成、第1ゲート酸化膜33および35の股厚 が150人程度、トンネル酸化酶5′の膜厚が 160人程度である。

さらに、浮遊ゲート6、16と、ゲート34、36とを、それぞれ異なる母電塔にて形成で85。本実施関中では、浮遊ゲート6、16が第1番ポリシリコン路28にて構成され、ゲート34、36が第2個ポリシリコン図31にて構成されて、

E * PROMと、EPROMと、MOSFETと が同一チップに形成できるようになる。

また、本 奥 總 創 中 で は 述 べ て い な い か 、 M 〇 S F E T (選択 R M O S F E T を 含 む) 形 成 断 域 の 基 板 1 に 対 し て 、 チャ ネ ル イン ブラ を 行 な う 微 、 こ の 基 板 1 に 対 し て イン ブラ き れ た し 含 い 値 制 御 用 不 能 物 が 、 第 2 鬙 ポ リ シ リ コ ン 暦 3 1 形 成 時 の 熱 城 艦 を 受 け る こ と が な く な る 。 こ の チャ ネ ル イン ブラ は 、 測 え ば 第 5 図 (c) に 京 す 工 程 で 、 第 2 暦 ポ リ シ リ コ ン 届 3 1 の 形 成 以 前 に 行 な われる。

よって、第2の質拠例に係わる半原体記憶 转載の製造方法では、MOSFET(違択用 MOSFETを含む)のしきい値を、所望の値に 結成よく合わせ込むことが可能となる。

以下、知7回、第8回(s)ないし第8回(f)を参照して、この発明の第3の実施例に係わる半 導体記憶数度およびその製造方法について説明する。

前7凶は、この発明の第3の実施則に係わる半

特別事3-126265 (18)

事体記憶気器の概念を示す断面図である。

類8数(a)ないし舞8数(l)は、第7図に 示す半導体記憶装置を製造工程順に示した販面図 である。

第78の低頭図において、第1図および第4図 と同一の部分については、同一の会照符号を付し、 度投する袋明は延けるものとする。

第7図に示すように、この第3の実施例に係わ る半導体記憶装置の特徴としては、第2の実施例 に係わる半導体記憶装置の特徴に加えて、浮遊グ - トちと、射師ゲート10とを互いに絶縁する節 2ゲート地球膜が、軟化膜38、微化膜39、腱 化酰40、および変化酶41からなる経路構造膜 にて構成されている点である。同様に、浮遊ゲー ト16と、斜即ゲート18とを互いに絶象する策 2ゲート酸化颜も、酸化颜42、窓化版43、酸 化原44、および翌化膜45からなる階層構造膜 にて構成されている。

以上の特徴から、この第3の実施例によれば、 第2の実施例に係わる辛弥体記憶装度による効果

よび約100人である。これらの隣垣値は、上記 直に限られるものではなく、それぞれ適切な聴寒 値に設定してよいことは勿論である。次に、第1 腫ポリシリコン鮮28に対し、例えばPOCi, 雰囲気中におけるリン拡散により、第1階ポリシ リコン暦28が所建の、南鞭抵抗雄psを持つよ うに専体化 (ロ型化) する。この類1層ポリシリ コン暦28の男体化処理は、別に n 型不純物のイ オンな人によっても得わない。また、あらかじめ 不執物がドープされた形で乗1階ポリシリコン層 28を形成しても努わない。

次に、第8回(b) に示すように、第1厘米リ シリコン暦28に対して、例えば図示しないホト シジストを用いた写真位刻法により、セルスリッ ト(京88(6)には図示せず)をパターニング し、同時に、国起用MOSFRT形成領域および 超积损MCSFET领域上に移在する第1届ポリ シリコン暦28を除去する。この状態の平面関は、 例えば筇も図に図示する平面図と閉じものである ので、第6個を存款期う。また、ここでの第6國

に加えて、E·PROMおよびEPROMの特性 のうち、例えば浮遊ゲートと、制数ゲートとの問 の容量の増火等がみされる。

次に、第8図(2)ないし第8図(1)を参照 して、第3の政総例に係わる洋郷体紀健狭敵の財 趋力症について説明する。 忽8図(a) ないし第 8回(1)において、各数点する符号は、第7回 と対応するものとする。

尚、紫8図(a)までの工程は、第1の実施例 に気わる卓導体記憶袋置で説明した第2図(8) ないし第2時(d)の工私と、ほぼ両一の工程で あるので省略する。

第8四(a)に示すように、第1の実施例に係 たる半導体配便接近で説明した第2艘(a)まで の工程と、ほぼ周一の工程を築て形成された袋器 の全面に、例えばCVD法により、毎3層ポリシ リコン照28を形成する。ここで、第1の無酸化 **顕24、第2の熱酸化膜25、および第3の熱酸** 化験27の成長は、ほぼ止まる。このときの腰頬 は、鉤えばそれぞれ約430歳、約290歳、お

の説明は、既に説明ずみであるので省略する。

次に、毎8回(c)に示すように、全箇に、例 えば塩度1000℃、N2 特沢部20%の雰囲気 中で、毎1届ポリシリコン層28上において幾厚 が、例えば350人程度となる第4の熱酸化腺 47を形成する。次に、全面に、例えばCVD 近により、第1の望化膜48を、例えば腹厚が 300人程度となるように形成する。次に、この 第1の室化験48上に、例えば沿度950℃、 B 9 x (ポロン酸化物) 雰囲気中、8 9 分間の時 間指定により、陰平60人程度ななる第5の熱 既化版49を形成する。次に、全面に、例えば CVD法により、第2の登化職50を、例えば版 原が300人程度となるように形成する。これら の第4の酸化腺47、第1の整化腺48、第5の 股化隊49、および節2の変化膜50からなる疑 婚務遊録は、E2PROMおよびEPROMの第 2ゲート拍録技となるものであり、したがって、 その腹戸は、EiPROMセルおよびEPROM セルの特性に合わせて設定される。

特開平3-126265 (19)

次に、第8刻(d)に示すように、EPROM 形成領域上およびE*PROM影政領域のメモリ トランジスタ形成領域上を、例えば図示しないホ トレジストによってマスクする。次に、選択用 MOSFET領域上および周辺用MOSFET成 領域上に存在する第4の設化額47、第1の盤化 頗48、第5の酸化腺49、および第2の窒化腺 50を除去し、旁えば舊板1の表面を重出させる。 次に、この基板1の表面上に、例えば熱酸化法に より、第6の熱酸化糖51を、蓋板1表面におい て、供えば瞬厚150人程度となるように形成す る。この節もの無飲化購与しは、MOSPET (選択用MOSFETを含む) の第1ゲート級化 瞬となるものである。このとき、第2の整化腺 50上にも、腹風の薄い熱酸化膜が形成されるだ、 額めて薄い腹原であるため新視しても揺わない。 尚、ここで、第6の熱飲化膜51を、 MOSFET (遊沢用MOSPETを含む) のチ ャネル領域に対するチャネルインプラの際の、い わゆる犠牲酸化機とすることもできる。この場

も持わない。

次に、毎8四(1)にボサように、EPROM 形成的域、およびEPPROM形成前域のメモリ トランジスタ領域の上部を、例えば盥示しないホ トレジストによってマスクする。次に、ホトレ ジストをマスクとして、周辺用MOSFET形 成類型および選択用M O S F E T 領域の上部に 存在する第2届ポリシリコン暦31を、所置の MOSFETのゲートの形状にパターニングする。 これによって、第2層ポリシリコン屋31にて紙 成されたMOSFET(選択用MOSFETを全 む)のゲート34、36が形成される。同時に、 第6の為敗化膜51にて構成されたMOSFET (選択別MOSFETを含む) の第1 ゲート酸化 膜37、46が形成される。次に、図示しないホ トレジストを除法し、今度は、MOSPETだ 成領域、および選択用MOSFET領域の上部 を、例えば図示しないホトレジストによってマ スクする。これとともに、E* PROMおよび EPROMの制御ゲートバターンを、レジストに

形成する。次に、ホトシジストをマスクとして、 第2雑ポリシリコン層31を除去する。引き続き、 第2の窓化膜50、第5の熱酸化腺49、第1の 窒化膜48、毎4の粘膜化膿47を除去し、さら に、引き続いて第1層ポリシリコン猫28を除会 する、いわゆるセルファラインエッチングを行な う。このセルフアラインエッチングによって、第 1届ポリシリコン暦28にで構成された作道ゲー ト6、16が形成される。同様に、第4の熱酸化 **終47、第1の変化機48、第5の無酸化膜49、** および第2の変化器50からなる積層経過機にて 据成されたE* PROMの第2ケート総級版(図 中では38~41の設盤構造鉄で図示)、および EPROMの第2ゲート絶疑談(図中では42~ 45の粉暗構造顔で図示)が形成される。さらに、 第2層ポリシリコン暦31にで講成された創籍タ ートIO、18か形成される。また、第1の熱酸 化眼24にて構成された第1ゲート放化腺5が形 成される。同様に、第2の熱酸化糖25にて構成 された第1ゲート酸化酸15か形成され、第3の

特期平3-126265 (20)

無酸化酸27にて協成されたトンネル酸化酸5′が形成される。次に、制御ゲート10%よび18、並びにMOSFET(遊択用MOSFETを含む物のゲート34、36をマスクにして、n型して発動物である。関えばヒ★32を、超級1に対するといるではは3、3′14、20を、レンサース/ドレインが減3、3′14、20を、何えば風がする。次に、コースは風がでする。ここで、ソースが減3、3′、14、20を、何えば風がすることにより、活性化する。ここで、ソースとが減3′は、n型不純物番4に使するように係性化される。

この後、第7図に示すように、第1 および第2の実践例と同様、層間結構膜 1 1 の形成、コンタクト孔 1 2、1 9、2 3の開孔、アルミニウム事の事電性観の義者、これを所定の配線形状にパターニング、そひで表面保護膜 1 3 の形成等によって3 3 の実際例に係わる半専体記憶装置が製造される。

このような、第3の実施例に係わる予選体記憶

第 4 図に示すように、この節 4 の実施例に係わる半導体記憶袋罐の特徴としては、 E ² P R O M の浮遊ゲート6 と、 E P R O M の浮遊ゲート5 3 との面積低低値 ρ π が、 互いに異なる点である。例えば E ² P R O M の浮遊ゲート6 の商額低低値をρ α 2 とすると、

ρ s 1 > ρ s 2 の関係になるように設定されている。

つまり、浮遊ゲートにおける不純物線度の関係 が

E² PROM < EPROM Eustus.

このように、EPPROMの存遺ゲートもの面積低抗値の s 1 が高い抵抗値を持って形成されている、すなわち不能物溢度が低く設定されていることにより、例えばトンネルリーク、あるいはトンネル酸化菌 5′ からの不能物の基膜へのしみ出し等の問題が解決され、EPPROMの信頼性が高まる。

設置の製造方法によれば、第2の実施費で説明した効果に加えて、第2ゲート能報購を、就化膳(駅化されにくい絶報購)と、酸化膳との最階構造限にすることができる。

しかも、MOSFET(E2 PROMの選択トランジスタを含む)のチャネル領域に対するチャネルインブラの際には、第8回(d)の工程で説明したように、犠牲酸化酸の導入が可能となる。

以下、第9図、第10図(a)ないし第10図 (c)、および第11図を接照して、この発明の 第4の実施例に係わる半導体記憶装置およびその 製造方法について説明する。

第9回は、この発明の第4の災施例に係わる辛 導体記憶装置の概念を示す新回回である。

第10回(a)ないし第10回(c)は、第9回に示す単導体記憶装置を製造工程所に示した断動図である。

39 図の断面図において、第1 図と同一の配分については、同一の整照符号を付し、型談する説明は避けるものとする。

よって、この第4の実施所によれば、第1の実施例に係わる単等外記機被罪の効果に加えて、よりは新性の高まったEVPROMを、EPROM と同一チップ上に記載することが実現される。

次に、第10図(a)ないし第10図(c)を 移風して、第4の実施例に採わる半導体記憶検置 の製造方法について説明する。第10図(s)な いし第16図(c)において、各参風する符号は、 第9図と対応するものとする。

尚、第10(a)までの工程は、第1の実施到に保むる半導体記憶装置で説明した第2回(a)ないし第2回(d)までの工程と同一であるので省略する。

第10回(a) に示すように、第1の契路例に 係わる半導体記憶装置の製造方法の第2回(d) までの工程と、同一の工程を経て形成された袋 の全箇に、例えばC V D 法により、第1 層ポリシ リコン屋 2 8 を形成する。ここで、第1 の結酸化 版24、 第2の熱酸化漿25、 および第3の結酸 化験27 の成長は、ほぼ止まる。このときの験摩

特朗平3-126285 (21)

は、例えばそれぞれ約430人、約250人、および約100人である。これらの襲撃値は、上記値に限られるものではなく、それぞれ遊りな競撃値に設定してよいことは勿論である。

次に、第10回(b) に示すように、第1層ポ リシリコン屋28上に、例えば無股化法により、 順厚400人程度の無效化四55を形成する。そ して、E*PROMの浮遊ゲート形成領域上に無 酸化腺5方が残るように、例えば200余しないホト レジストを用いた半直統刻法により、除去する。 次に、第1層ポリシリコン間28に対し、例えば POC!。拌頭気中におけるリン拡散により、塩 1層ポリシリコン暦28か、所望の面積低抗雄 ρ w を持つように非体化(n 慰化)する。このと き、類1層ポリシリコン酸28上に、熱酸化脱 5 5 が残留している領域(第1層ポリシリコン層 28として図示〉では、不知物の拡散が制限さ れ、不能物温度が低くなる。また、熱数化糖55 が残留していない鎖版(第1番ポリシリコン器 28-2として図示)では、反対に不能物液症が

高くなる。例えば第1届ポリシリコン語28の不統物に改せ、1~3×1リプ°ca-2を放ととなり、第1日ボリシリコン語28-2の不統物にはは、年4~6×10 from 2を定となる。このようたのはなないがはない。のははを得る事体化解的は、別にものは、がは動のイオン派人によっても譲わない。また、不統物のマスクとしては、第1届ポリシリかな、不統物のマスクとしては、第1届ポリシリかな、では、第55を用いたがのでなりとしては、第55を用いたがのでなりには、不統物のが能力を持ちてもよい。さらに、不統物のが能力を持ったホトレジストでであってもよい。

次に、第10個(c)に示すように、第1個ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写典触到法により、セルスリット(第10四(c)には密示せず)、並びにMOSFETのゲートの形状(この部分には、符号28−2′を付す)をパターニングする。この状態の平面図を第11回に図示する。

第118に図示するように、第1届ポリシリコ

ン暦28には、フィールド酸化腺2上で、ワード 辣方向における互いのセルの浮遊ゲートを、それ ぞれ分離するセルスリット29が形成されてパタ ーニングされ、さらに、MOSFETのゲートの 形状28~2′にパターニングされている。ここ で、MOSFETのゲートの形状28~2′は、 おのおのゲートが分離されるようにパターニング されている。これは、第1の実施例で説明したように、ゲートがおのおの分だされるように形成す る必点はない。

また、河図に永すように、 E * P R O M 形成 物態では、 不純物濃度の低い節 1 層ボリシリコン層 2 8 が存在しており、一方、 E P R O M 形成 鋭敏では、 不純物濃度の高い第 1 層ボリシリコン層 2 8 - 2 が存在している。 第 1 1 図中の C - C / 級に沿う販売は、第 1 0 図 (c) である。

以後の工程は、第1の表施例に係わる準導体記録器で説明した第2図(g) および第2図(h)の工程と関ーであるので省略する。

このような、斑4の炎龍例は係わる半線体記憶

数での製造方法によれば、第1の実施例に係わる 米線体記憶装置の製造方法による効果に加えて、 E・PROMの浮遊ゲート6の面積低気度の51 と、EPROMの浮遊ゲート53の頭積低気能 の52とを、互いに異ならせて、E・PROMと、 EPROMと、MOSFETとが列一チップに形成できる。本実施例中では、例えば互いの面積低 抗酸を関係を、

p s 1 > p s 2

とするために、 E'PROMの浮遊ゲートもの 不純物温度が 1~3×10²⁰ca⁻¹最度であり、 EPROMの浮遊ゲート 53の不純物漁度が 4~6×10²⁰ca⁻¹程度とされている。

以下、第32回、第13回(a)ないし意13回(c)、および第14回を参照して、この発明の第5の実施的に係わる半導体定地装置およびその超過方法について説明する。

第12図は、この発明の第5の実施例に係わる 半導体記憶装置の概念を示すŘ遊園である。

刈13四 (a) ないし知13回 (c) ね、

特問平3~126265 (22)

第12回に示す事事体配接袋屋を製造工程順に示 した順適図である。

第12箇の断面図において、前1回と同一の協 分については、同一のお照行号を付し、重複する 満明は避けるものとする。

第12図に示すように、この第5の実施例に孫 わる半導体記憶装置の特徴としては、第2の実 施例に張わる半導体記憶装置の特徴に加えて、 E*PROMの浮遊ゲート6と、EPROMの浮 遊ゲート53との面積巡抗値ρsが、互いに異な る成である。例えばE*PROMの浮遊ゲート5 の面積返抗値をρs1とし、EPROMの浮遊ゲート5 の面積返抗値をρs2とすると、

2 3 1 > 2 8 2

の関係になるように設定されている。

このように、E2PROMの浮遊ゲート6の 競技抵抗値p 6 1 が高い抵抗値を持って形成されている、すなわち不稀物濃度が低く設定され ていることで、第4の実施例で説明したように E2PROMの怠慢性が高まる。

は、何えばそれぞれ的430人、的250人、および約100人である。これらの改革値は、上配値に殴られるものではなく、それぞれ遊切な領揮値に設定してよいことは勿論である。

次に、抗13㎞(b)に示すように、第1艘ボ リシリコン国28上に、例えば熱酸化法により、 腹原400人程度の熱酸化薬55を形成する。を して、E*PROMの浮遊ゲート形成領域上に熱 競化機ちらが終るように、例えば図示しないホト レジストを用いた写真類別法により、除去する。 次に、第1日ポリシリコン省28に対し、例えば POCI』雰囲気中におけるリンは散により、第 1 層ボリシリコン器 2 8 が、所図の函数低抗雄 ρ s を持つように導体化(n 型化)する。このと き、第1層ポリシリコン層28上に、熱酸化験 5 5 が 戦 留 して い る 銷 域 (第 1 層 ポ リ シ リ コ ン 層 28として図示)では、不軌物の拡散が刻限を れ、不動物調度が低くなる。また、熱酸化胺55 が我留していない超級(第1階ポリシリコン層 28-2として凶示)では、反対に不絶物通度が

よって、この第4の実践的によれば、第2の実践的に係わる半導体記憶装置の効果に加えて、信頼性の高いE¹ PROMを、EPROMと同一チップ上への同時記載が実現される。

次に、第13回 (a) ないし第13回 (c) を参照して、第5の欠选例に乗わる半導体記憶装置の製造方法について説明する。第13回 (a) ないし第13回 (c) において、各参服する符号は、第12回と対応するものとする。

尚、第13(a)までの工程は、第1の実施的にはわる半準体記切抜ビで説明した第2凶(a)ないし第2凶(d)までの工程と同一であるので、省略する。

第13図(a)に示すように、第1の実施例に係わる半導体配は装置の製造方法の第2図(d)までの工程と、海一の工程を経て形成された装置の金融に、例えばCVD法により、第1級ポリシリコン四28を形成する。ここで、第1の熱酸化版24、第2の熱度化限25、および第3の熱度化版27の成長は、ほぼ止まる。このときの規模

次に、第13回(c)に承すように、第1箇ボリシリコン前28に対して、例えば幽示しないホトレジストを用いた等質強動法により、セルスリット(第10回(c)には國原サザ)をパターニングする。この状態の平面圏を第14回に圏示する。

第14回に四示するように、塩1層ポリシリコン関28には、セルスリット29がパターニ

時間平3-126265 (23)

ングされている。また、関図に示すように、 E P R O M 形成領域では、不純物演成の低い第 1 層ポリシリコン層 2 8 が存在しており、一方、 E P R O M 形成領域では、不執物造成の高い第 1 路ポリシリコン器 2 8 - 2 が存在している。第 1 1 図中の C - C * 粒に沿う断面は、第 1 3 図 (c) である。

以後の工権は、第2の実施所に係わる予導体記 低隻選で提引した第5個 (c) および第5回 (d) の工程と同一であるので省略する。

このような、結ちの実施物に係わる半労外記念 設置の疑認方法によれば、第2の実施物に係わる 半導体記憶装置の観惑方法による効果に加えて、 ミッPROMの浮遊ゲートもの問題抵抗値ρを引 と、EPROMの浮遊ゲートも3の配数抵抗値 のコ2とを、互いに異ならせて、EPPROMと、 EPROMと、MOSPETとが同一チップに形成できる。本定病例中では、例えば近いの面積抵 抗値を関係を、

ρ ş 1 > ρ s 2

ゲート53の顕領感抗値をDs2とすると、

0 s 1 > 0 s 2

の関係になるように設定されている。

このように、EIPROMの浮遊ゲート6の面 磁抵抗益ρ IIが高い透抗値を持って形成され ていることにより、第4、第5の実施例同様、 EIPROMの最低性が高まる。

よって、この第6の実験的によれば、第3の実験的に係わる半導体記憶袋園の効果に加えて、信頼性の高いを*PROMを、EPROMと関ーチップ上への問時記載が異様される。

次に、 毎6の実施例に係わる半時体記憶設置の 製造方法について説明する。

尚、図面については、第1の実絡例に係わる半時体記憶袋図の観達方法の第2図(e)ないし第2図(d)、第5の実施例に保わる半時体記憶製図の製造方位の第13図(a)ないし第13図(c)、遊びに第3の実施例に係わる半時体記憶鉄図の製造方法の第8図(c)ないし第8回(f)と重複するので省略する。

とするために、第4の実施的問題、 E² PROMの序類ゲート6の不能物級度が 1~3×10²⁰ cm⁻² 位度であり、EPROMの序 遊ゲート53の不能物優度が4~6×10²⁰ cm⁻² 位度とされている。

以下、第15数を変無して、この発明の第6の 実施網に係わる半導体記憶装置およびその製造方 法について裁削する。

第15回は、この発明の第6の実施例に落わる 半摩体記憶装置の概念を示す新面図である。

第15図の断面図において、第7図と同一の形分については、同一の多股石分を付し、屋頂する 炎明は難けるものとする。

第15 図に示すように、この 第6の 実施的に係 わる 半 事 体 記憶 築 選 の 特 徴 と し て は 、 第 3 の 異 戦 例 に 係 わ る 半 申 体 記 値 築 選 の 特 数 に 加 え て 、 E² PROMの 浮遊ゲート 6 と、 ppROMの 浮 遊ゲート 5 3 との 面 設 紙 抗 値 p g が 、 互 い に 異 な る 点 で あ る 。 例 え ば E² PROM の 浮 遊 の 面 領 紙 抗 値 を p g 1 と し 、 E PROM の 浮 遊

製造方法としては、まず、第2回(2)ないし第2回(d)までの工程を経たあと、第13回(^)の工程を経る。ここで、B^PROMの溶造ゲートを構成する第1層はする第1層は、EPROMの経迹ゲートを構成する第1層はリンリコン層との不動物の流度が変わる。そして、第8回(c)ないし第8回(1)の工程を経ることにより、窓化酸と、酸化酸との数階構造酶による第2ゲート的経験が形成される。

このような、第6の質態例に係わる半部体に扱致の製治方法によれば、第3の実施例に係わる半部体にある。 半場体配慮製理の製造方法による効果に加えて、 E°PROMの浮遊ゲート6の面積低抗値ρε1 と、EPROMの浮遊ゲート53の面積低抗値 ρε2とを、互いに異ならせて、E°PROMと、 EPROMと、MOSFETとが同一チップに形成でまる。本実境内中では、例えば互いの国情低抗値を関係を、

特開平3~126265 (24)

¢ 5 1 > p 8 2

とするために、 第4、第5の実施契同核、 E² PROMの浮遊ゲート6の不純的過度が 1~3×10^{20cm-2}程度であり、EPROMの浮遊ゲート53の不能物通度が4~6×10^{20cm-2}程度とされている。

以上、第1ないし第6の実施別について述べた。 ところで、629ROMおよびEPROMのメ そりセルの構造は、なにも2パス方式にこだわる ことはなく、 佐収内にソース独散層を形成し、 こ の 証 数階をソース配換としたメモリセルでも良い。 また、ピット物方向に存在するメモリセルでは、 ソース/ドレイン領域を共有していても良い。

以下、そのような例を、積層型選択ゲートを持つE² PROMの例を交えて、第7、第8の実施例として規則する。

第16図は、この発明の第7の実施的に無わる 半弱体配便装置の異念を示す原面図である。

第17四(s)ないし第17回(d)は、第16回に示す半導体記憶装置を製造工程順に示し

向、第17図(a)までの工程は、第1の実施 例で満明した第2図(d)までの工程と、ほぼ同一の工程であるので省略する。

第17回(a)に示すように、第1の実施例で 説明した第2図(d)までの工程を链で形成され た装置の全面に、微えばCVD法により、始1層 ポリシリコン層28を形成する。ここで、第1 の無酸化酶24、節2の熱酸化膦25、および 第3の熱酸化膜27の成長は、ほぼ止まる。こ のときの隣原は、例えばそれぞれ約430歳、 約250人、100人である。 これらの籐屋値 は、上記値の限られることはなく、それぞれ道 切な機関値に設定して良いことは勿論である。 次に、第1届ポリシリコン届28に対し、例えば POC1,雰囲気中におけるリン修数により、京 1 層ポリシリコン路 2 8 が所題の面積低抗値 p s を持つように写体化 (n 製化) する。この第1回 ポリシリコン暦28の導体化処理は、別にn型不 名物のイオン注人によっても扱わない。 また、お らかじめ不動物がドープされた形で、第1層ボリ

た胼胝図である。

第16図の所面図において、第1図と同一の施 分については、同一の数額符号を付し、重視する 級明は延けるものとする。

この第7の実施例に係わる半導体記憶装置の特徴としては、上記したように E 3 PROMの選択用MOSF E Tのゲート対極名が、積層型選択ゲート(参照符号8°)となっている点である。

また、E² PROM、EPROMの同メモリセルの構造は、ピット線方向のメモリセルにおいて、ソース/ドレインが限3 (3,はソース、3,はドレイン)、14 (14,はソース、14,はドレイン)を共有した構造、並びに1バス方式となっている。

次に、第17図(a)ないし第17図(d)を参照して、第7の実施側に係わる半導体記憶設置の製造方法について提列する。第17図(a)ないし第17図(d)において、各参照する符号は、第16図および第2図(a)ないし第2図(h)と対応するものとする。

シリコン層28を形成しても関わない。

次に、第17回(b)に示すように、第1度ポリシリコン層28に対して、例えば図示しないホトレジストを用いた写出性対法により、セルスリット(第17回(b)には図示せず)をパターニング、扱びに叫迎用MOSFETのゲートの形状(この部分には、符号28、を付す)をパターニングする。この状態の平面図を第18回に図示する。

第18数に対示するように、第1届ポリシリココドンを28には、フィールド酸化酸であせん。ススリカのにおけるセルを20いに分離するもに、シッカのはなった。のではなっては、第1個では、アーニングートの形状 28 パートの形状 28 パートのおおおいのは、の数状 28 パートのように、の数はなっては分離する必要はよった。の数はなっては分離する必要によった。の数はないとの数はなっては分離する必要によった。の数はないとの数はないとの数はないとの数はないとの数はないとの数はないとの数はないとのないとというに、の数はないとのはないというに、の数はないとのはないというに、の数はないには分離する必要にあると、

符明平3-126265 (25)

ずしもない。声)月図中のE-E′ 被に紛う斯磁 図は第17図(b)である。

次に、第17四(c)に示すように、合面に、 例えば無限化法により、第4の無限化級30 を形成する。この筆4の熱酸化腺30は、 E 2 PROMおよびEPROMの第2ゲート総称 敗となるものであり、したがって、その限學は、 E ² P R O M セルおよび E P R O M セルの特性 に合わせて設定される。次に、全面に、例えば CVD法により、第2層ポリシリコン層31を形 成する。次に、この前2層ポリシリコン暦31に 対し、例えばPOC1。雰囲気中におけるりンは 数により、宛2層ポリシリコン簡31が所望の面 疑抵抗値pmを持つように身体化 (n 競化) する。 この母外化処理は、別にロ型不難物のイオン法人 によっても構わない。また、あらかじめ不純物が ドープされた形で、第2者ポリシリコン器31を 形成しても構わない。

次に、第17回(d)に示すように、 E³ PROME成領域、EPROME成領域を、

想送択ゲート(8 と 8′)も形成される。次に、割四ゲート10、18、選択ゲート8′、周辺用MCSFETのゲート22をマスクにして、n限不が物である、例えばヒ葉を、落板1に対域3イオン法入し、の歴ソース/ドレイン領域3(3)、3)、3′、14(14)、14。)、20をそれぞれ形成する。次に、これらのソース/ドレイン領域3′、14、20を、ここでは、ソース/ドレイン領域3′は、銃数器4に接するように活性化される。

この後、第16図に示すように、第1ないし第 6の辺線既と同様、時間絶数線11の形成、コン ククト礼12、19、23の開孔、アルミニウム 等の専式性膜の無容、これを所定の配数形状にバ ターニング、そして表面保護機13の形成等によって第7の実施例に係わる半線体記憶装置が製造

このような製造方法によれば、E³ PRGMの 選択用MOSFSTのゲートを機圏製にでき、か

例えば図示しないホトレジストによってマスクす る。次に、このホトレジストをマスクとして、周 迈用MOSFET影政領域上に存在する第2層水 リンリコン暦31を除去する。 次に、ホトレジ ストを除去し、今度は、周辺MOSPRT形成 領域を、新たなホトレジスト(図示せず)によ ってマスクする。これとともに、このホトレジ ストに対して、EiPROMセルおよび選択別 MOSFETのパターン、並びにEPROMセル のパターンを形成する。次に、このホトレジスト をマスクとして、第2時ポリシリコン脳31、第 4の無效化膜30、および第1層ポリシリコン層 29を順次除出する、いわゆるセルフアラインエ ゥチングを行なう。このセルファラインエッチン グによって、第1選ポリシリコン騒29にて摂成 された浮遊ゲート6、16、周辺用MOSFET のゲート22が形成される。関様に、男2層 ポリシリコン暦31にて構成された制御ゲー ト10、18が形成される。そして、第1層、 第2層のポリシリコン層29、30にて勧撃

つき。FROMとFPROMとを同一益級上に混 破して形成できる。その他、製造上の特徴として は、第1の実施例の製造方法の特徴とほぼ関級で ある。

以下、第19図、第20図(a)および第20図(b)、第21図を参照して、第8の実施例に係わる半導体記憶装置について設明する。

第1 ◇ 図は、この発明の第8の実施例に続わる 半等体記憶数度の概念を示す期面図、第20図 (A) および第20図(b) は、第19図に示す 数置の製造方法のうち、特徴的な工程を示す所面 図である。

第19図の断距図において、第9図と同一の形分については、同一の参照符号を付し、登抜する 袋別は延けるものとする。

この第8の支施側に係わる序導体記録装置の特徴としては、第7の実施制関係、数値型選択ゲート(部項符号52′)となっている点、およびE2PROMの浮連ゲート6と、EPROMの浮遊ゲート53、周辺用MOSFET54並びに選

特閣平3-126265 (26)

択用MOSPETの下部構盛52とのポリシリコ ン暦の面核抵抗値ρェが互いに異なっている点で ある。この点から、S³ PROMの浮遊ゲート 5 の面積低抗菌りのを高く設定することで、第4な いし郊もの実施鉤のようにE2 PROMの信頼性 がよりぬまる。

また、E²PROM、EPROMの飼メモリセ ルの構造は、算了の実施興同様、ビット線方向 のメモリセルにおいて、ソースノドレイン領域 3 (3, 47-2, 3, 4 + 1/2), 14 (14」はソース、142 はドレイン) を共有し た構造、遊びに1パス方式となっている。

以下、第20間(a) および第20回(b) を 多照して、第8の実施例に添わる単導体に位装置 の製造方法について説明する。第20箇(٤)お よび第20回(b)において、各套照する符号は、 第19図および第10図 (a) ないし第10図 (c)と対応するものとする。

尚、毎20図(s)までの工程は、第4の実施 例で説明した第10図(a)までの工程と、ほぼ

同一の工程であるので省略する。

5020월 (a) に示すように、第4の実施例で 説明した取10凶(a)までの工程を経て形収さ れた製製の第1階ポリシリコン版28上に、例え ば無酸化法により、関係400人程度の賠偿化額 うちを形成する。そして、E² PROMの承遊が - ト形成領域上に熱酸化糖が疑るように、例えば 図示しないホトレジストを思いた写真触劇法によ り、除去する。次に、第1層ポリシリコン脳28 に対し、例えばPOCI, 雰囲気中におけるリン 拡散により、第1層ポリシリコン暦28が、所名 の面積抵抗値DSを持つように導体化(A型化) する。このとき、効1層ポリシリコン層28上に、 結散化族55が鉄留している崩域(第1階ポリシ リコン暦28として図示)では、不統物の拡散が 制限され、不能物濃度が盛くなる。また、施設化 践55が幾留していない領域(第1階ポリシリコ ン暦28-2として國示)では、反対に不能物流 既が高くなる。例えば第1番ポリシリコン暦28 の不純物深度は、1~3×10ºcg、程度となり、

第1届ポリシリコン屋28-2での不補物温度は、 4~6×10²⁶cm-2程度となる。このような、第 1届ポリシリコン版28に対して、異なった面積 延院値 D 3 の領域を得る際体化処理は、別に n 型 不純物のイオン准人によっても持わない。また、 不掩物のマスクとしては、第1届ポリシリコン暦 28上に形成された熱酸化酶55を用いたが、64 えばCVD法により、堆積形成したCVD酸化購 夢であってらよい。さらに、不能物造版能力を持 ったホトレジスト帯であってもよい。

次に、第20四(b)に示すように、第1過ポ リシリコン暦28に対して、例えば図示しない虫 トレジストを用いた写真血刻絵により、セルスリ ット(第208(b)には盥示せず)、並びに母 辺用MOSFETのゲートの形状(この部分には、 符号28~2′を付す)をパターニングする。こ の状態の平面図を着21図に図示する。

第21回に図示するように、第1層ポリシリコ ン暦28には、セルスリット29かパターニング されている。さらに、周辺用MOSFET老成領 域では、第1層ポリシリコン層28がゲートの形 択28-2′ にパターニングされている。ここで、 周辺用MOSFETのゲートの形状28′は、ゲ - トかおのおの分離される形状になっている。し かしこれは、回路構成によっては分段する必要は 必ずしもない。宛21凶中のF~F′ 線に沿う断 面図は第20図(b)である。

この後、第7の実施例で袋明した第17回(c) 収殊の工程を超ることにより、第19回に示す第 8の実施例に係わる半導体記憶鼓護が製造される。

このような製造方法によれば、E·2 PROMの 遊沢用MOSFETのゲートを鉄層型にでき、か つE³ PROMとEPROMとを同一拡板上に混 被、そしてこれら両メモリセルにおける浮遊ゲー トの磁積抵抗値DSを互いに異ならせて形成でき る。その他、智佐上の特徴としては、第4の実施 例の観燈方法の特徴とほぼ同様である。

「記MIの効果!

以上説明したようにこの免明によれば、音き替 える必要が陶時あるデータを記憶する記憶部と、

特朗平3-126265 (27)

貫き替える必要がほとんどないデータを記録する 記憶部とを合せ持つチップサイズの循小された1 チップマイクロコンピュータ(半砂体記憶袋盤) が提供される。

4. 図面の簡単な説明

第1回は第1の火施例に係わる半導体記憶装置 の概念を示す断面図、第2図(a)ないし第2図 (h) は第1の火糖例装置の製造方法を製造工程 順に示す瞬面圏、第3回は第2段(1)の早面図、 第4回は第2の実施例に係わる半導体記憶能限の 既念を示す断論関、第3図(a)ないし第5図 (d)は第2の実施的装置の設造方法を製造工程 所に示す断点図、称も図は第5回(6)の半面図、 **第7回は第3の実施例に係わる半導体記憶装置の** 既念を示す断越凶、第8凶(a)ないし弱8凶 (()は第3の実施例装置の製造方法を製造工器 順に京す斯周図、第9図は第4の実施的に係わる 平等体記憶装置の概念を示す断面図、第10図 (a)ないし第10回(c)は第3の実施例装置 の製造方法を製造工程順に示す断面図、第11回

は310個(c)の平面図、第12回は第5の実 施例に係わる半導体記憶装置の概念を承す断面図、 第13図(a)ないし第13図(c)は第5の実 熱調袋融の製造万法を製造工程順に示す断頭図、 第14図は第13図 (c) の早値盤、第15図は 第 6 の実施例に係わる半導体記憶架體の概念を示 す頭汤図、第168は第7の実施例に係わる半点 年記憶装製の概念を決す断面図、第) 7 図(a) ないし第17個(4)は第7の実験例装置の製造 方法を製剤工程順に示す断面図、第18図は第 1 ? 図(b)の平面窓、第19図は期8の実施剤 に係わる半導体記憶装置の概念を示す版面図、 第20日(1) および第20日(1) は異名の 火路何袋雹の焚造方法を拠遺工程順に示す脈面閣、 第21図は第20図(b)の平面図である。

1 … 半導体基盤、 2 … フィールド酸化酶、 3、 3′ …ソースノドレイン領域、4 …不純物商、 う… 須1の換飲化額にて形成される第1分-ト酸 化膜、5~…節3の無酸化膜にて彩成されるトン ネル酸化膜、 6 … 第1階ポリシリコン語にて形成

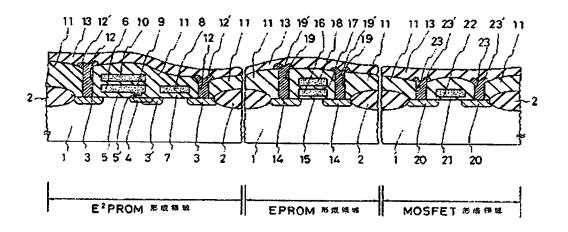
される芳遊ゲート、ケ…第1の熱酸化酸にて形成 される第1ゲート酸化膿、8…第1点ポリシリコ ン盤にて形成されるゲート、9… 蛇4の熱酸化 版にて形成される第2ゲート数化職、10…カ 2項ポリシリコン層にて形成される制御ゲー ト、11… 脳 開 税 級 渡 、 12… コンククト孔、 12′ …配線、13 …表面保維膜、14 …ソース ノドレイン領域、15…第2の熱酸化膜にで形成 される第1ゲート放化器、16…第1層ポリシリ コン暦にて形成される浮遊ゲート、17…箱4 の熱療化膜にて形成される第2ゲート酸化腺、 18… 第2編ポリシリコン第にて形成される斜海 ゲート、19… コンタクト孔、191 …配線、 20…ソース/ドレイン領域、21…第2の無政 化器にて形成される第1ゲート酸化費、22~ 第1層ポリシリコン層にて形成されるゲート、 23…コンタクト孔、23′…肥神、24…第1 の熱酸化膜、25…第2の熱酸化膜、26…除法 郡、27…第3の熱酸化歧、28…第1層ポリシ リコン暦、28′ …MOSFETのゲート形状

にバターニングされた第1個ポサシリコン個、 28-2…森い不施物後度を持つ第1層ポリシリ ニン駅、28~2~…MOSFETのゲート形欽 にパターニングされた高い不能物流放を持つ第1 盛ポリンりコン階、29… セルスリット、30… 第4の慈酸化酶、31…第2層ポリシリコン層、 32…ヒポイオン、33…第4の熱酸化膜にて形 成される第1ゲート酸化酶、34…第2層ポリシ リコン路にで形成されるゲート、35…新4の為 設化機にて形成される第2ゲート軟化膜、36… 第 2 暦ポリシリコン関にて形成されるゲート、 37…節6の熱酸化酶にて形成される節1ゲート 飲化機、38m第2ゲート絶縁額を構成する第4 の孫族化膜、39…第2ゲート絶縁膜を構成する 第1の京化縣、40…第2ゲート絶縁原を掲載す る第5の熱酸化膜、41……第2ゲート絶縁顔を 提成する第2の壁化膜、42…第2ゲート的保護 を開或する第4の熱酸化漿、43…第2ゲート施 軽限を構成する第1の窓化器、44…第2ゲート 絶輝膜を摂成する節5の熱酸化膜、45m第2分

特別平3-126265 (28)

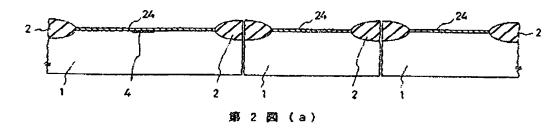
一ト絶殺旗を拗成する第2の皇化版、47…第4 の鳥酸化類、48…第1の窒化類、49…第5の 然較化粧、50…第2の変化粧、51…第6の酸 化級、52~高い不聴物造度を持つ第1層ポリシ リロン暦にて形成されたゲート、53…高い不能 物液理を持つ第1週ポリシリコン暦にて彫載され た浮遊ゲート、54…商い不能物温度を持つ第1 増ポリシリコン値にて形成されたゲート。

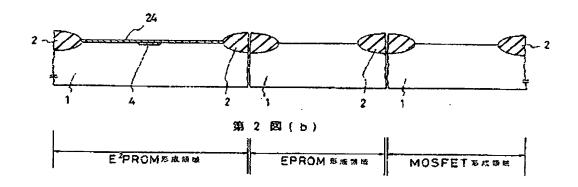
出顾人代职人 弁型士 给 辽 欧 彦

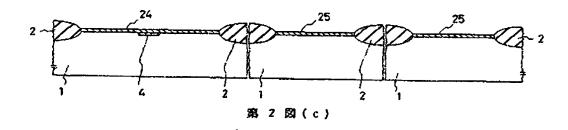


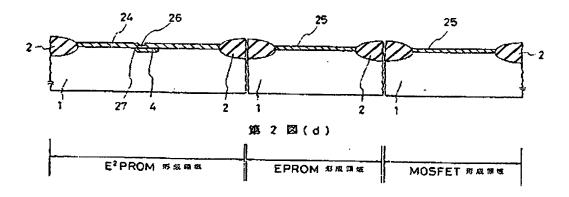
第 1 図

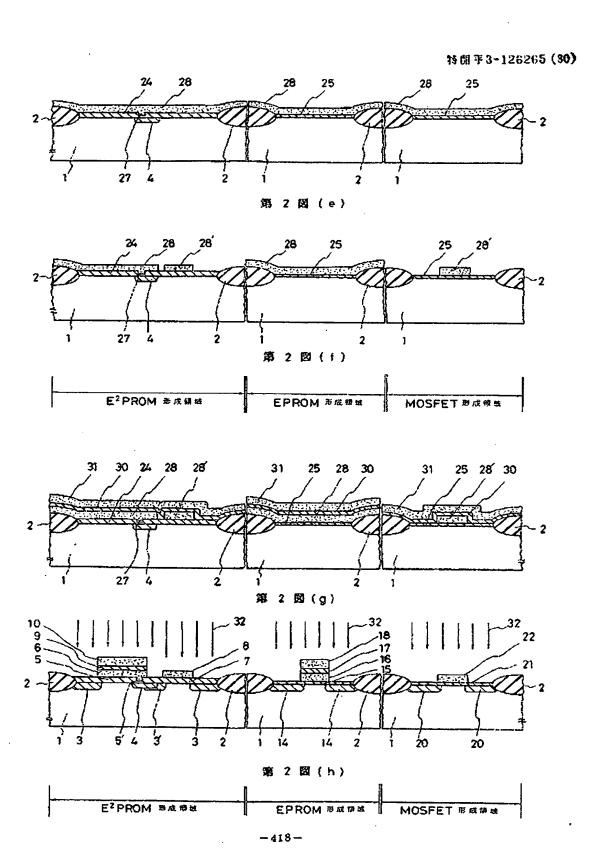
特期平3-126265 (29)



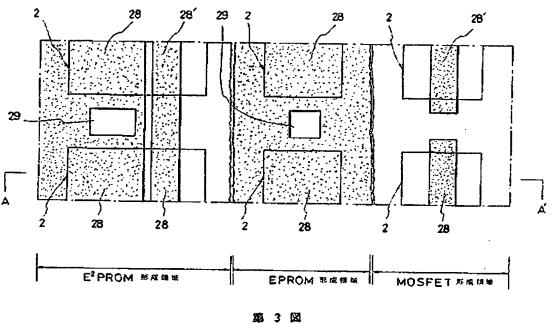


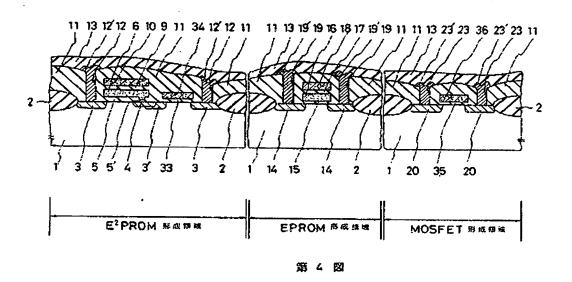


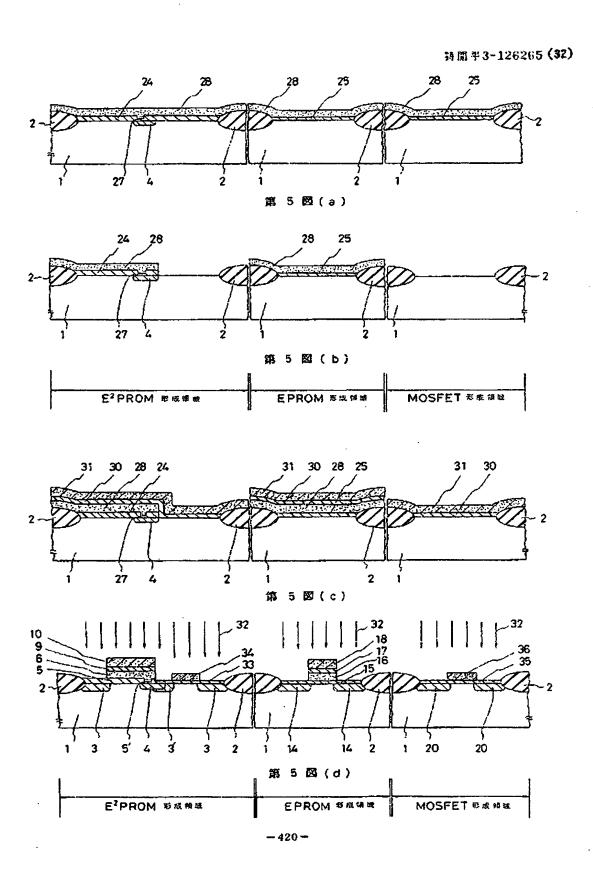




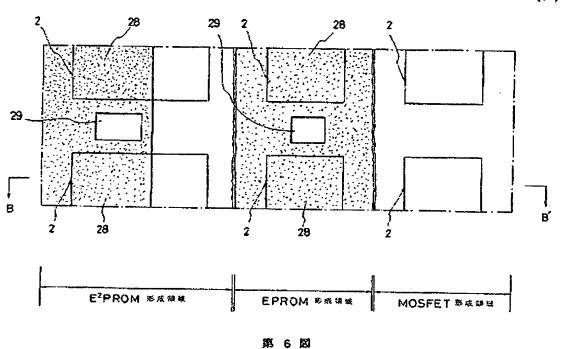
特閒平3-126265 (31)

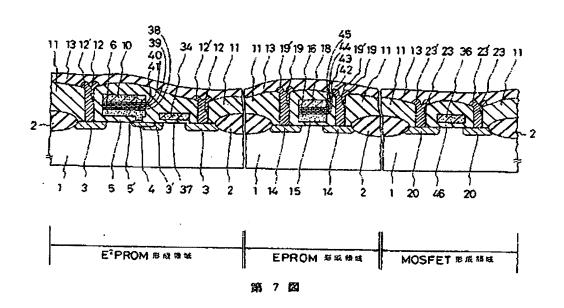


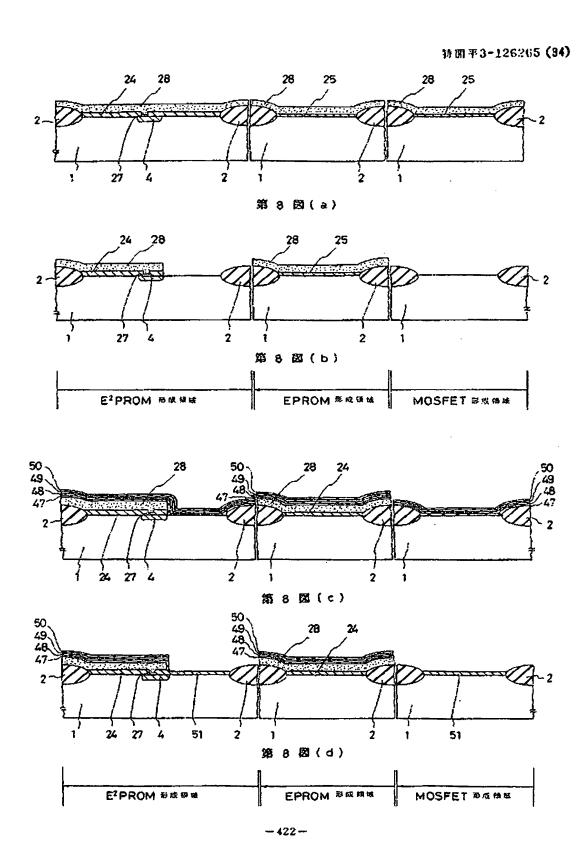




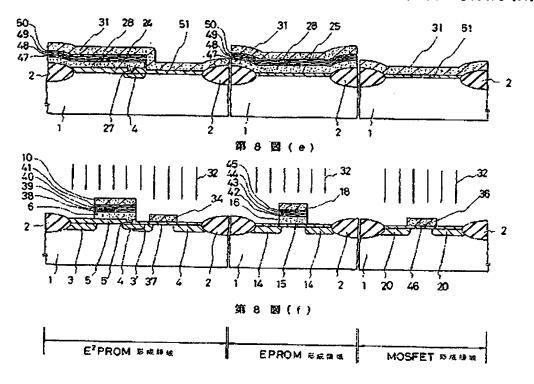
特別平3-126205 (83)

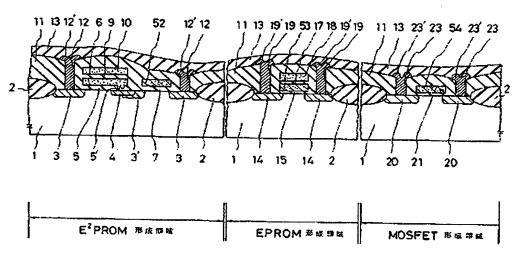


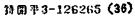


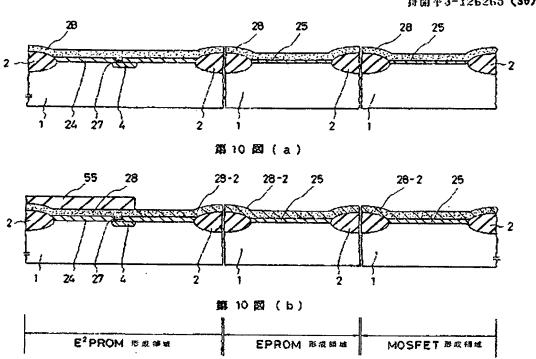


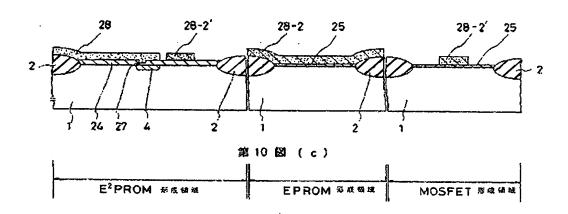
得開平3-126265 (36)



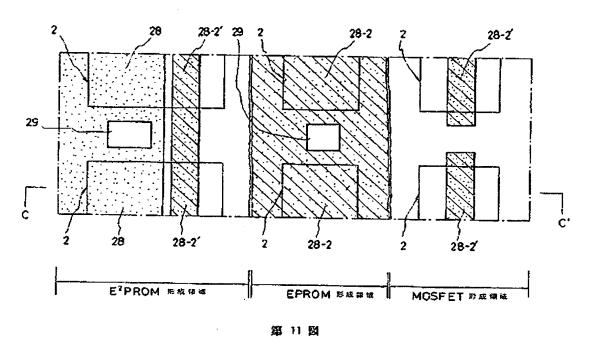


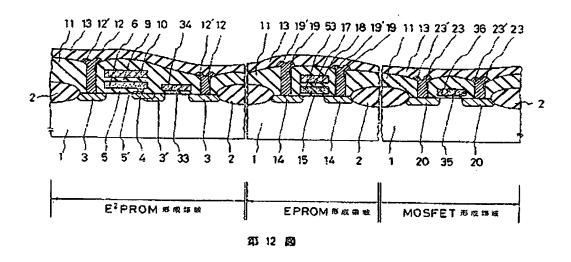




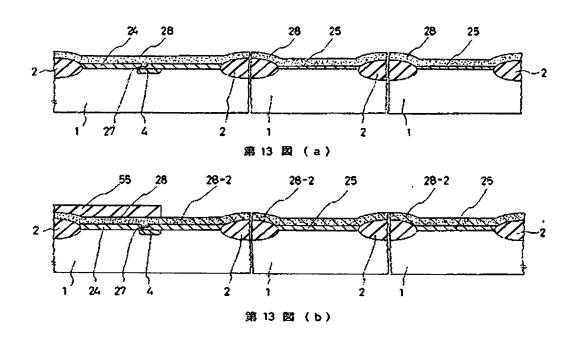


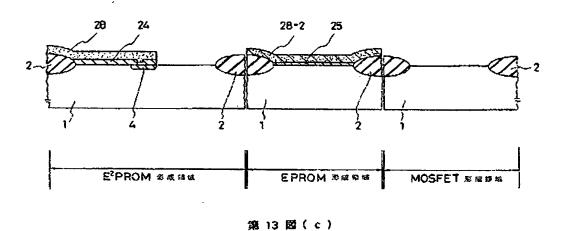
诗调平3-126265 (37)





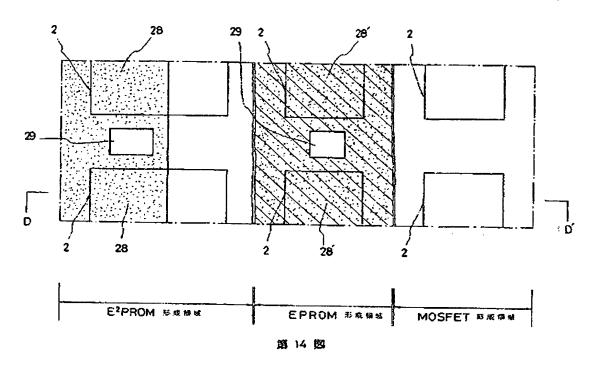
特閒平3-126265 (38)

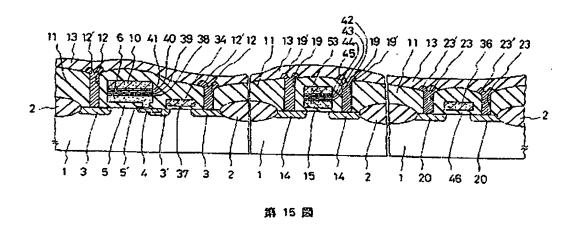




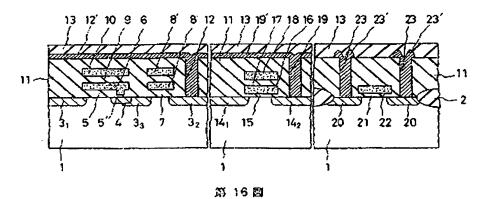
-426-

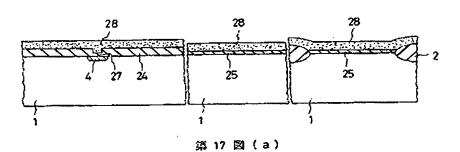
特丽平3-126265 (39)

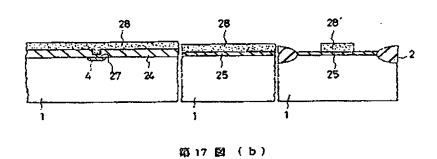


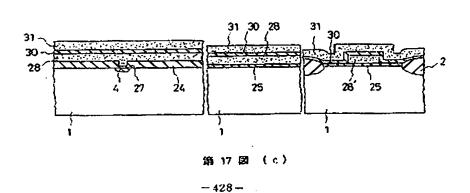


預閒率3-126265 (40)

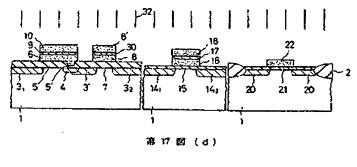


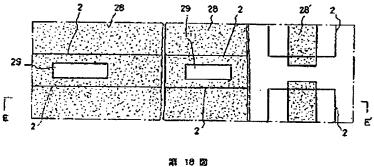


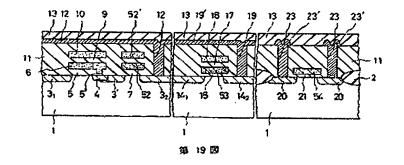


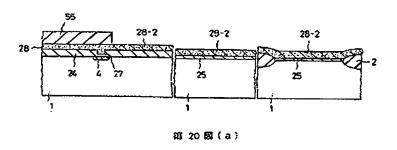


特周平3-126265 (41)









特別平3-126265 (42) 28-2 28-2 第 20 図(b) 28-2 28-2 20-2' 第 21 Ø

第1頁の続き

®int.CI.5

識別記号 庁内整理番号

HOIL

8831-5F H 01 L 27/10 434

個発 神奈川県川崎市等区小向東芝町1番地 株式会社東芝多歴 川工場内

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADED TEXT OR DRAWING
BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
LINES OR MARKS ON ORIGINAL DOCUMENT
REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
□ OTHER:

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.